

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 22 日 (22.07.2004)

PCT

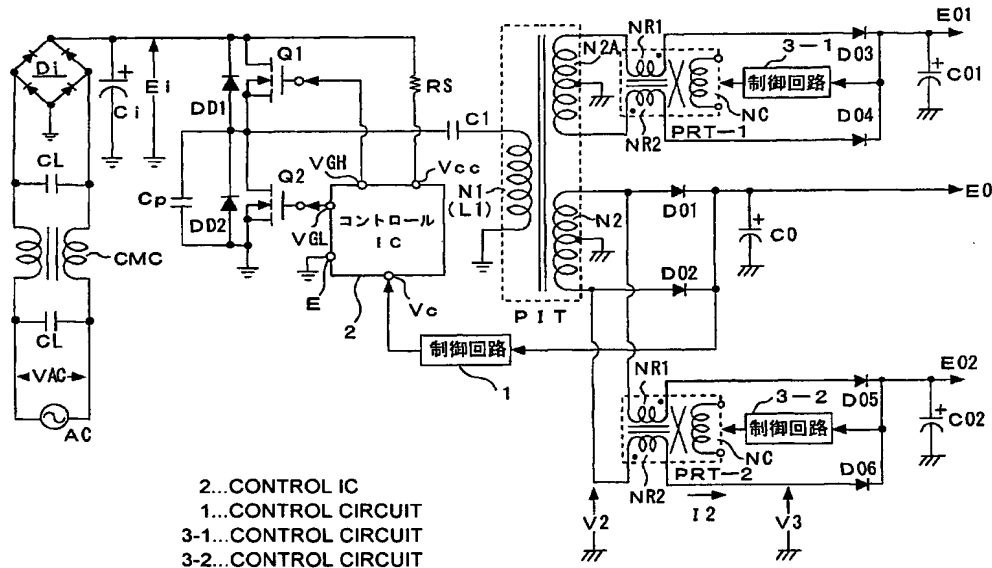
(10) 国際公開番号
WO 2004/062076 A1

- (51) 国際特許分類⁷: H02M 3/28
(21) 国際出願番号: PCT/JP2003/014457
(22) 国際出願日: 2003 年 11 月 13 日 (13.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-381227
2002 年 12 月 27 日 (27.12.2002) JP
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 35 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 安村 昌之 (YASUMURA, Masayuki) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 35 号 ソニー・ヒューマンキャピタル株式会社内 Tokyo (JP).
(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 三好内外国特許事務所内 Tokyo (JP).
(81) 指定国 (国内): CN, KR, US.
添付公開書類:
— 国際調査報告書
— 補正書

[続葉有]

(54) Title: SWITCHING POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチング電源回路



(57) Abstract: The power conversion efficiency of a power supply circuit is improved, and the switching noise is reduced. The primary side has a complex resonance converter constituted by a combination of a current resonance converter and a partial voltage resonance circuit, and produces a plurality of secondary-side DC output voltages. A particular one of the secondary-side DC output voltages is made constant by varying the switching frequency of a primary side switching converter, while the remaining ones of the secondary-side DC output voltages are made constant by varying the level of a control current flowing through a control winding of a control transformer in accordance with the levels of the secondary-side DC output voltages to thereby vary the inductance of a controlled winding inserted in a rectified current path.

(57) 要約: 電源回路の電力変換効率の向上及びスイッチングノイズ低減をはかる。一次側には、電流共振形コンバータと部分電圧共振回路を組み合わせた複合共振形コンバータを備え、複数の二次側直流出力電圧を生成する構成とする。そして、これら複数の二次側直流出力電圧のうち、特定の1つの二次側直流出力電

[続葉有]



2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

圧については、一次側スイッチングコンバータのスイッチング周波数を可変制御することによって定電圧化を図り、残る二次側直流出力電圧のそれぞれについては、二次側直流出力電圧のレベルに応じて、制御トランスの制御巻線に流す制御電流レベルを可変することで、整流電流経路に挿入した被制御巻線のインダクタンスを変化させ、これにより、定電圧化を図る。

明 細 書

スイッチング電源回路

5

技術分野

本発明は、各種電子機器に電源として備えられるスイッチング電源回路に関するものである。

10 背景技術

スイッチング電源回路として、例えばフライバックコンバータやフォワードコンバータなどの形式のスイッチングコンバータを採用したものが広く知られている。これらのスイッチングコンバータはスイッチング動作波形が矩形波状であることから、スイッチングノイズの抑制には限界がある。また、その動作特性上、電力変換効率の向上にも限界があることが分かっている。

そこで、先に本出願人により、各種共振形コンバータによるスイッチング電源回路が各種提案されている。共振形コンバータは容易に高電力変換効率を得られると共に、スイッチング動作波形が正弦波状となることで低ノイズが実現される。また、比較的少数の部品点数により構成することができるというメリットも有している。

そして、本出願人が先に特許出願した電源回路の1つとして、一次側スイッチングコンバータとして電圧共振形コンバータを備え、二次側においては複数の二次側直流出力電圧を生成して出力するように構成したものがある。

そして、二次側直流出力電圧の安定化は、例えばメインとなる二次側

直流出力電圧については、一次側スイッチングコンバータのスイッチング周波数を制御することによるスイッチング周波数制御方式を採る。また、他の所要の二次側直流出力電圧については、その二次側直流出力電圧を生成するための整流電流経路に対して、直交型制御トランス（可飽和リアクトル）の被制御巻線を直列に挿入する。そして、二次側直流出力電圧のレベルに応じて直交型制御トランスの制御巻線に流す制御電流レベルを可変することで被制御巻線のインダクタンスを可変し、これにより、整流電流経路に流すべき電流レベルをコントロールして二次側直流出力電圧の定電圧化を行うようにしているものである（特開 2000-064981 号公報参照）。

そして、上記した電源回路に基づいて構成される、先行技術としての電源回路を図 14 に示す。この図 14 に示す電源回路も、一次側スイッチングコンバータとして共振形コンバータを備え、二次側においては複数の二次側直流出力電圧を生成する構成とされている。ただし、上記した電源回路は、一次側スイッチングコンバータが電圧共振形コンバータであるのに対して、図 14 に示す電源回路は電流共振形コンバータとされている。例えば二次側直流出力電圧を生成する整流回路系は、一次側スイッチングコンバータが電圧共振形コンバータである場合には、半波整流回路としての構成を採ることになるが、電流共振形コンバータとされる場合には全波整流回路を形成することが可能となる。これにより、スイッチング電源回路としての電流容量を増加させることができる。

この図 14 に示す電源回路においては、先ず、商用交流電源 AC に対して、1つのコモンモードチョークコイル CMC と 2本のアクロスコンデンサ CL を接続して形成される、コモンモードノイズフィルタが設けられる。コモンモードノイズフィルタは、例えばスイッチングコンバータ側から商用交流電源 AC に伝わるノイズを抑制する。

そして、上記コモンモードノイズフィルタの後段における商用交流電源ACのラインに対しては、ブリッジ整流回路Di及び平滑コンデンサCiからなる全波整流回路が備えられる。この全波整流回路による整流平滑動作によって、平滑コンデンサCiの両端電圧として、交流入力電
5 圧VACの等倍に対応するレベルの整流平滑電圧Eiが得られる。

上記整流平滑電圧Eiを直流入力電圧として入力して動作するスイッチングコンバータとしては、この場合、電流共振形コンバータとしての基本構成に対して少なくとも一次側に部分電圧共振回路を備えた、複合共振形コンバータとしての構成を採る。

10 そして、ここでは、図示するようにして、MOS-FETによる2本のスイッチング素子Q1（ハイサイド）、Q2（ローサイド）をハーフブリッジ結合により接続している。スイッチング素子Q1、Q2の各ドレイン-ソース間に対しては、図示する方向により、それぞれダンパダイオードDD1、DD2を並列に接続している。

15 また、スイッチング素子Q2のドレイン-ソース間に対しては、部分共振コンデンサCpが並列に接続される。この部分共振コンデンサCpのキャパシタンスと一次巻線N1のリーケージインダクタンスL1によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振動
20 作が得られるようになっている。

コントロールIC2は、電流共振形コンバータを他励式により駆動するための発振回路、制御回路、及び保護回路等を備えて構成されるもので、内部にバイポーラトランジスタを備えた汎用のアナログIC
(Integrated Circuit)とされる。

25 このコントロールIC2は、電源入力端子Vccに入力される直流電圧により動作する。この場合の電源入力端子Vccは、起動抵抗Rsを介し

て整流平滑電圧 E_i のラインと接続されている。コントロール IC 2 は、の起動抵抗 R_s を介して入力される整流平滑電圧 E_i により起動して動作することになる。また、このコントロール IC 2 は、アース端子 E により一次側アースに接地させるようにしている。

- 5 そして、コントロール IC 2 においては、スイッチング素子に対してドライブ信号（ゲート電圧）を出力するための端子として、2つのドライブ信号出力端子 V_{GH} 、 V_{GL} が備えられる。

ドライブ信号出力端子 V_{GH} からは、ハイサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力され、ドライブ信号出力端子 V_{GL} からは、ローサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力される。

- 10 そして、ドライブ信号出力端子 V_{GH} から出力されるハイサイド用のドライブ信号は、スイッチング素子 Q1 のゲートに対して印加され、ドライブ信号出力端子 V_{GL} から出力されるローサイド用のドライブ信号は、スイッチング素子 Q2 のゲートに対して印加されるようになっている。

そして、スイッチング素子 Q1、Q2 は、それぞれ上記ドライブ信号出力端子 V_{GH} 、 V_{GL} から出力されるドライブ信号によって、所要のスイッチング周波数により交互にオン／オフするようにしてスイッチング動作を行う。

- 20 絶縁コンバータトランス P I T はスイッチング素子 Q1、Q2 のスイッチング出力を二次側に伝送するものであり、この場合には、一次巻線 N1 と、2組の二次巻線 N2、N2A が巻装される。

この場合、絶縁コンバータトランス P I T の一次巻線 N1 の一端は、スイッチング素子 Q1 のソースとスイッチング素子 Q2 のドレインとの接続点（スイッチング出力点）に対して、直列共振コンデンサ C1 の直列接続を介して接続される。また、一次巻線 N1 の他端は、一次側アースに接

続される。

上記した接続態様によると、スイッチング素子 Q_1 、 Q_2 のスイッチング出力点に対して、直列共振コンデンサ C_1 —一次巻線 N_1 の直列回路が接続されていることになる。これにより、直列共振コンデンサ C_1 のキャパシタンスと、一次巻線 N_1 を含む絶縁コンバータトランス PIT のリーケージインダクタンス L_1 とによって、一次側直列共振回路が形成される。そして、上記のようにして、この一次側直列共振回路がスイッチング出力点に対して接続されていることで、スイッチング素子 Q_1 、 Q_2 のスイッチング出力が一次側直列共振回路に伝達されることになる。一次側直列共振回路では伝達されたスイッチング出力に応じて共振動作するが、これによって、一次側スイッチングコンバータの動作を電流共振形とする。

従って、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（ C_1-L_1 ）による電流共振形としての動作と、前述した部分電圧共振回路（ $C_p//L_1$ ）とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた形式を採っていることになる。つまり、複合共振形コンバータとしての構成を採っている。

絶縁コンバータトランス PIT の二次側に巻装される二次巻線 N_2 、 N_{2A} の各々においては、一次巻線 N_1 に伝達されたスイッチング出力に応じた交番電圧が励起される。

先ず、二次巻線 N_2 に対しては、図示するようにしてセンタータップを設けて二次側アースに接続した上で、整流ダイオード D_{o1} 、 D_{o2} 、及び平滑コンデンサ C_o から成る両波整流回路を接続している。これにより、

平滑コンデンサ C_o の両端電圧として二次側直流出力電圧 E_o が得られる。
この二次側直流出力電圧 E_o は、図示しない負荷側に供給されるとともに、
次に説明する制御回路 1 のための検出電圧としても分岐して入力される。

制御回路 1 は、上記二次側直流出力電圧 E_o のレベルに応じて、そのレ
5 ベルが可変される電流又は電圧を制御出力として得る。この制御出力は、
コントロール IC 2 の制御端子 V_c に対して出力される。

コントロール IC 2 では、制御端子 V_c に入力された制御出力レベル
に応じて、ドライブ信号出力端子 V_{GH} 、 V_{GL} から出力すべきハイサイド
用のドライブ信号と、ローサイド用のドライブ信号とについて、互いに
10 交互にオン／オフさせるタイミングを保たせたいうで、各ドライブ信号
の周波数を同期させた状態で可変するように動作する。

これにより、スイッチング素子 Q_1 、 Q_2 のスイッチング周波数は、制
御端子 V_c に入力された制御出力レベル（つまり二次側直流出力電圧レ
ベル）に応じて、可変制御されることになる。

15 スwitching周波数が可変されることによって、一次側直列共振回
路における共振インピーダンスが変化することになる。このようにして
共振インピーダンスが変化することによって、一次側直列共振回路の
一次巻線 N_1 に供給される電流量が変化して二次側に伝送される電力も
変化することになる。これにより、二次側直流出力電圧 E_o のレベルが変
20 化することとなって、二次側直流出力電圧 E_o についての定電圧制御が図
られることになる。

また、この場合には、二次側直流出力電圧 E_o に対して、図示するよう
にして、MOS-FET のスイッチング素子 Q_3 、整流ダイオード D_3 、チ
ョークコイル L_{10} 、平滑コンデンサ C_{o3} から成る降圧形コンバータが接
25 続されている。

この降圧形コンバータは、二次側直流出力電圧 E_o を入力してスイッチ

ング素子Q3によりスイッチングを行って得られる交番電圧を、整流ダイオードD3及びチョークコイルL10により半波整流して、平滑コンデンサC_{o3}に充電することで、二次側直流出力電圧E_oから降圧された二次側直流出力電圧E_{o2}を生成する。

- 5 二次側直流出力電圧E_{o2}に対する定電圧制御は、制御回路3によって行われる。

- 10 制御回路3には二次側直流出力電圧E_{o2}が入力されており、この入力された二次側直流出力電圧E_{o2}のレベルに応じて、スイッチング素子Q3のゲートに出力するドライブ信号について、例えばスイッチング周波数は一定としたうえで、1周期内のパルス幅を可変する。つまり、PWM制御を行う。これにより、1スイッチング周期内におけるスイッチング素子Q3の導通角が可変される結果、二次側直流出力電圧E_{o2}のレベルも変化することになる。このようにして、二次側直流出力電圧E_{o2}を可変制御することによって、二次側直流出力電圧E_{o2}に対する安定化が図ら
15 れることになる。

また、二次巻線N2Aに対してもセンタータップを設けて二次側アースに接続した上で、図示するようにして、整流ダイオードD_{o3}、D_{o4}、及び平滑コンデンサC_{o1}から成る両波整流回路が形成されており、平滑コンデンサC_{o1}の両端には直流電圧が得られるようになっている。

- 20 そして、この場合には、平滑コンデンサC_{o1}の出力である直流電圧に対して三端子レギュレータ4を接続することで、平滑コンデンサC_{o2}の両端電圧として、安定化された二次側直流出力電圧E_{o1}を得るようにされる。

- 25 ここで、上記のようにして二次側で得られる二次側直流出力電圧E_o、E_{o1}、E_{o2}についての負荷条件は次のようになっている。

$$E_o = 5.0 \text{ V} / 6 \text{ A} \sim 2 \text{ A}$$

$$E_{o1} = 12.0 \text{ V} / 1 \text{ A} \sim 0.2 \text{ A}$$

$$E_{o2} = 3.3 \text{ V} / 6 \text{ A} \sim 2 \text{ A}$$

上記した負荷条件によると、二次側直流出力電圧 E_o が最も負荷電力が
5 大きい。このために、二次側直流出力電圧 E_o については、定電圧制御と
して最も支配力が大きく、また、電力損失の少ないスイッチング周波数
制御によって行うようにしている。

また、二次側直流出力電圧 E_o の次に負荷電力が大きいのは、二次側直
流出力電圧 E_{o2} となる。この二次側直流出力電圧 E_{o2} においても負荷電
10 流量は相応に大きなものとなるので、この場合には、スイッチング周波
数制御以外の手段として、降圧形コンバータを備えることによって定電
圧化することとしているものである。

残る二次側直流出力電圧 E_{o1} は、負荷電流量が少ないことから、三端
子レギュレータ 4 による簡易な安定化を図っている。

15 しかしながら、上記図 1 4 に示す電源回路においては、次のような問
題を有している。

図 1 4 に示す電源回路の DC/DC 電力変換効率 ($\eta_{DC/DC}$) は、二次側直
流出力電圧 E_o については 94% であるが、 E_{o1} については 80%、 E_{o2}
については 92% であり、総合的には 88% 程度にとどまる。

20 つまり、図 1 4 に示す回路は、複数の二次側直流出力電圧を個々に安
定化するために、三端子レギュレータ 4 等のシリーズレギュレータ、及
び降圧形コンバータを付加する構成を採るのであるが、これらシリーズ
レギュレータ及び降圧形コンバータにおける電力損失がどうしても多く
なる。このため、負荷側の条件として負荷電力変動が大きいような場合
25 には、電力損失がさらに増加するので、シリーズレギュレータや降圧形
コンバータに対して放熱板を設ける必要も生じ、例えば回路規模の拡大

やコスト高にもつながってしまう。

また、図 1 4 に示す電源回路では、一次側複合共振形コンバータのスイッチング周波数が $75\text{ KHz} \sim 100\text{ KHz}$ であるのに対して、二次側の降圧形コンバータ内のスイッチング素子 Q3 のスイッチング周波数は例えば 100 KHz で固定となる。このようにして、1 つの電源回路内において複数種のスイッチング周波数が混在すると、互いのスイッチング周波数が干渉し合い、発生するノイズレベルも高くなってしまう。このために、各種ノイズフィルタや、シールド板などのノイズ対策が必要となり、この点でも、回路規模の拡大やコスト高を招く。

10 そこで、上記したようなシリーズレギュレータ及び降圧形コンバータ等に代わって二次側出力を安定化する手段として、磁気増幅器を採用することが知られている。

図 1 5 は、図 1 4 に示した電源回路の二次側において、上記のような磁気増幅器を採用した場合の構成例を示している。なお、この図において、図 1 4 と同一部分には同一符号を付して説明を省略する。

この図 1 5 において、安定化された二次側直流出力電圧 E_{o1} を生成するための回路系は、次のようにして構成されている。

15 まず、二次巻線 N2A に対しては、二次側アースに接地されるセンタータップを設けた上で、図示するようにして整流ダイオード D_{o3} 、 D_{o4} 、及び平滑コンデンサ C_{o1} を接続することで両波整流回路を形成している。そして、平滑コンデンサ C_{o1} の両端電圧として、二次側直流出力電圧 E_{o1} が生成される。

そのうえで、この二次巻線 N2A の両波整流回路においては、磁気増幅器を備えることによる定電圧回路(磁気増幅器定電圧回路)が備えられ、
25 この磁気増幅器定電圧回路により二次側直流出力電圧 E_{o1} が安定化される。

この磁気増幅器定電圧回路は、先ず、二次巻線N2Aの一端と整流ダイオードD_{o3}のアノードとの間に可飽和インダクタ（チョークコイル）S R 1を挿入し、二次巻線N2Aの他端と整流ダイオードD_{o4}のアノードとの間に可飽和インダクタS R 2を挿入する。また、リセット電圧可変用のダイオードD V1のカソードを整流ダイオードD_{o3}のアノードに接続し、リセット電圧可変用のダイオードD V2のカソードを整流ダイオードD_{o4}のアノードに接続する。ダイオードD V1, D V2の各アノードは、トランジスタQ4のコレクタと接続される。トランジスタQ4のエミッタは、抵抗R_cを介して二次側直流出力電圧E_{o1}の正極ラインと接続される。

- 10 この場合の制御回路3は、二次側直流出力電圧E_{o1}の安定化のために、可飽和インダクタS R 1, S R 2の磁束を制御する。

制御回路3は、シャントレギュレータ等を備えた誤差増幅器として形成され、入力された二次側直流出力電圧E_{o1}のレベルに応じて、トランジスタQ4のベース電流レベルを可変制御する。これに応じて、トランジスタQ4のコレクタ電流レベルが可変されることになる。トランジスタQ4のコレクタは、リセット電圧可変用のダイオードD V1, D V2のアノードの接続点に接続されているから、コレクタ電流レベルが可変されることによっては、可飽和インダクタS R 1, S R 2における磁束のリセット電圧を可変するためのコントロール電圧が可変されることとなる。

- 20 ここで、上記した可飽和インダクタS R（S R 1, S R 2）は、例えば図16に示すようにして、円形のトロイダルコアC Rに対して、単線の巻線L_nを所要の巻数により巻装して構成される。

- また、図17は、上記のようにして構成される可飽和インダクタS Rのコアの材質として、コバルト系アモルファスが選定されている場合のB-H曲線図を示している。この可飽和インダクタS RのB-H特性は、この図からもわかるように、ヒステリシス特性として、角形比がおおき

いものとなっている。

そして、このよな可飽和インダクタ $S R$ を備えた磁気増幅器の動作としては、図 18 に示すものとなる。図 18 において、電圧 $V3$ は、可飽和インダクタ $S R1$ と二次巻線 $N2A$ の端部の接続点と、二次巻線 $N2A$ のセンタータップとの間の電位を示す。また、電圧 $V L1$ は、可飽和インダクタ $S R1$ の両端電圧を示す。電流 $I D1$ は、整流ダイオード $D o3$ に流入する整流電流を示す。

期間 $t0 \sim t1$ に対応しては電圧 $V3$ は正極性の状態となっているが、このとき、可飽和インダクタ $S R1$ は、不飽和状態 ($B0 > B > B1$) である。このときには、電圧 $V3$, $V L1$ との関係は、 $V3 \approx V L1$ となるので、整流ダイオード $D o3$ には、整流電流 $I D1$ は流れていない。

次の期間 $t1 \sim t2$ においては、可飽和インダクタ $S R1$ は、飽和状態 ($B = B1$) となるので、電圧 $V L1$ は、ほぼ 0 レベルとなる。これにより、電圧 $V3$, $V L1$ との関係は、 $V3 > V L1$ となるので、整流ダイオード $D o3$ に整流電流 $I D1$ が流れはじめることになる。

そして、次の期間 $t2 \sim t3$ では、図 19 において等化的に示す出力電圧調整回路 11 が動作する。この出力電圧調整回路 11 は、図 15 では、二次側直流出力電圧 $E o2$ が入力される制御回路 3 となる。この図 19 からも分かるように、制御回路 3 としては、誤差増幅器としての構成を採っていること分かる。つまり、分圧抵抗 $R o1$, $R o2$ により分圧した二次側直流出力電圧 $E o2$ のレベルを、基準電圧 $V r e f$ と比較し、その誤差を、オペアンプ OP 及び帰還回路 ($C a$, $R a$) から成る増幅回路により増幅して、抵抗 $R b$ を介して出力しているものである。

そして、上記のようにして得られる出力電圧調整回路 11 からの出力に応じて、リセット回路 10 が、可飽和インダクタ $S R1$ に対してリセット電流を流すことになる。このリセット回路 10 は、図 15 における

抵抗 R_c 、トランジスタ Q_4 、ダイオード D_{V1} 、 D_{V2} 、及び可飽和インダクタ S_{R1} 、 S_{R2} から成るリセット回路としての機能を等化的に示している。

このときにおけるリセット回路 10 におけるリセット電流の供給動作は、出力電圧調整回路 11 からの出力レベルに応じたレベルの電流を、抵抗 $R_c \rightarrow$ トランジスタ $Q_4 \rightarrow$ ダイオード D_{V1} を介して、可飽和インダクタ S_{R1} に流すことで得られる。このリセット電流によって、可飽和インダクタ S_{R1} では、磁束密度を B_0 に戻すようにしてリセットが行われる。

上記期間 $t_2 \sim t_3$ におけるリセット量（リセット電流レベル）によって、可飽和インダクタ S_{R1} が不飽和状態となる期間 $t_0 \sim t_1$ の時間長が決定される。

そこで、軽負荷の傾向となるのに応じて二次側直流出力電圧 E_{o1} のレベルが上昇するのに対応して、リセット量を増加させるようにする。これにより、図 17 に示すようにして、残留磁束密度 B_0 は、 B_{0A} となるから、不飽和状態の期間である期間 $t_0 \sim t_1$ も、図 18 に示すようにして、期間 $t_{0A} \sim t_{1A}$ となるように長くすることができる。このようにして、不飽和状態の期間が長くなれば、整流電流 I_{D1} が流れないとされる期間も長くなるから、単位時間あたりの負荷への電力強九時間も短縮されて、二次側直流出力電圧 E_{o1} のレベルもその分低下することになる。

そして、このような動作は、図 18 に示す波形が 180° の位相差を有するタイミングで以て、可飽和インダクタ S_{R2} 側においても行われることになる。

このようにして、図 15 に示す回路では、両波整流によって得られる二次側直流出力電圧 E_{o1} の安定化を図るようになされる。

また、図 15 においては、二次巻線 N_2 側において生成される二次側直

流出力電圧 E_{o2} についても、上記二次側直流出力電圧 E_{o1} と同様にして、磁気増幅器定電圧回路によって、定電圧制御を行う構成が採られている。

つまり、二次側直流出力電圧 E_{o2} を得るための基本構成としては、二次巻線 N_2 に対して、整流ダイオード D_{o5} 、 D_{o6} 及び平滑コンデンサ C_{o1} から成る両波整流回路を接続する。

そのうえで、この両波整流回路に対して、可飽和インダクタ（チョークコイル） S_{R3} 、 S_{R4} 、リセット電圧可変用のダイオード D_{V1} 、 D_{V2} 、リセット電流出力用のトランジスタ Q_3 、抵抗 R_c 、制御回路 3 を図示するようにして接続して、磁気増幅器定電圧回路を形成するものである。

上記図 15 に示したような磁気増幅器定電圧回路を備えた構成とした場合、磁気増幅器定電圧回路による定電圧制御は、可飽和インダクタ S_R の飽和／不飽和状態となる期間を制御する方式であるが、この動作は、上記説明からも分かるように、二次巻線に得られる交番電圧（ V_3 ）の周期タイミングに応じたものとなっている。つまり、磁気増幅器定電圧回路を形成する可飽和インダクタ S_R 、リセット電圧可変用のダイオード D_{V1} 、 D_{V2} 、及びリセット電流出力用のトランジスタ Q_3 、 Q_4 などの動作は、一次側スイッチングコンバータのスイッチング周波数に同期したものである。このことから、例えば図 14 に示した電源回路におけるような、異なるスイッチング周波数間での干渉によるノイズ発生量増加の問題は解消される。

しかしながら、図 15 に示した回路においても、可飽和インダクタ S_R を構成するトロイダルコア C_R による電力損失、及び磁気増幅器定電圧回路を形成する、リセット電圧可変用のダイオード D_{V1} 、 D_{V2} 、及びリセット電流出力用のトランジスタ Q_3 、 Q_4 などの半導体素子における電力損失が大きい。このため、電源回路としての総合的な電力変換効率

が低下するという問題は残ることとなる。例えば、図 1 5 に示した回路とした場合の総合的な電力変換効率 ($\eta_{DC/DC}$) は、86%程度であり、図 1 4 に示した回路構成によりも低下してしまう。

また、磁気増幅器定電圧回路を形成するのにあたっては、可飽和インダクタSRとしてのトロイダルコアと、リセット電圧可変用のダイオード素子、及びリセット電流出力用のトランジスタなどの半導体素子が必要である。例えば実際においては、リセット電圧可変用のダイオード素子には、ショットキーダイオードが選定される。また、リセット電流出力用のトランジスタには、50V/2Aが選定される。これらの半導体素子は比較的高価でもあるから、コスト的には依然として不利である。

特に、図 1 4 に示す電源回路の構成を基礎とする場合には、この問題が拡大する。つまり、前述もしたように、一次側スイッチングコンバータの基本構成を電流共振形とした場合においては、二次側直流出力電圧を生成する整流回路系を両波整流回路として、より多くの電流容量を得るように構成することができる。しかし、両波整流回路に対して磁気増幅器定電圧回路を付加する場合には、正/負の整流電流経路に対応して、可飽和インダクタSR、及びリセット電圧可変用のダイオード素子については2組が必要となってしまう。

このようにして、例えば一次側に電流共振形コンバータを備えたスイッチング電源回路において、二次側にて生成する複数の二次側直流出力電圧について、個々に定電圧制御を行う場合においては、この定電圧制御のための回路素子が付加されることに依る電力変換効率の低下、及びコストアップ等の問題が存在する。

25 発明の開示

そこで本発明は上記した課題を考慮してスイッチング電源回路として

次のように構成する。

つまり、直流入力電圧を入力してスイッチング動作を行うスイッチング素子を備えて形成されるスイッチング手段と、スイッチング素子をスイッチング駆動するスイッチング駆動手段とを備える。

- 5 また、少なくとも、スイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、この一次巻線に得られたスイッチング出力としての交番電圧が励起される複数の二次巻線とを巻装して形成される絶縁コンバータトランスを備える。

- 10 また、絶縁コンバータトランスの複数の二次巻線に得られる交番電圧を入力して、整流動作を行うことで二次側直流出力電圧を生成するように構成された、複数の直流出力電圧生成手段と、複数の直流出力電圧生成手段により生成される複数の二次側直流出力電圧のうち、負荷に供給する電力が多い二次側直流出力電圧のレベルに応じてスイッチング駆動手段を制御して、スイッチング手段のスイッチング周波数を可変すること
15 とで、この二次側直流出力電圧に対する定電圧制御を行うように構成された周波数制御型定電圧制御手段を備える。

- 20 また、複数の二次側直流出力電圧のうち、周波数制御型定電圧制御手段により定電圧制御される以外の二次側直流出力電圧ごとに対応して設けられるもので、制御巻線と被制御巻線が巻装された可飽和リアクトルとしての制御トランスの上記被制御巻線を、制御対象である二次側直流出力電圧を生成するための二次側整流電流経路に挿入し、制御対象である二次側直流出力電圧レベルに応じて、制御巻線に流すべき制御電流レベルを可変して被制御巻線のインダクタンスを可変することで、制御対象である二次側直流出力電圧に対する定電圧制御を行うように構成され
25 たインダクタンス制御型定電圧制御手段を備えることとした。

上記構成によると、本発明のスイッチング電源回路の二次側において

は、複数の二次側直流出力電圧を生成するようにされている。

そして、複数の二次側直流出力電圧のうち、負荷に供給する電力が多い二次側直流出力電圧については、その二次側直流出力電圧のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御することによって定電圧化を図るようにされる。

また、残る二次側直流出力電圧のそれぞれについては、インダクタンス制御型定電圧制御手段により行うこととしている。つまり、制御巻線と被制御巻線を備える可飽和リアクトルとしての制御トランスを備え、被制御巻線を、その制御対象である二次側直流出力電圧を生成するための整流電流経路に挿入するようにされる。そして、制御対象である二次側直流出力電圧のレベルに応じて、制御巻線に流す制御電流レベルを変換することで、被制御巻線のインダクタンスを変化させ、これにより、制御対象の二次側直流出力電圧が安定化される。

このような構成のインダクタンス制御型定電圧制御手段では、例えば被制御巻線における電力損失は少なく、制御巻線に制御電流を流すための制御電力も非常に少なくて済む。

図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態としての電源回路の構成例を示す回路図である。

図 2 は、直交型制御トランスの構造例を示す回路図である。

図 3 は、被制御巻線のインダクタンス特性を示す特性図である。

図 4 は、第 1 の実施の形態に対応する、二次側の制御回路の構成例を示す回路図である。

図 5 は、第 1 の実施の形態の電源回路において、二次側の制御回路による定電圧制御動作を示す波形図である。

図 6 は、本実施の形態における、二次側整流回路の変形例と、被制御巻線の挿入位置との関係を示す回路図である。

図 7 は、本実施の形態における、二次側整流回路の変形例と、被制御巻線の挿入位置との関係を示す回路図である。

5 図 8 は、本実施の形態における、二次側整流回路の変形例と、被制御巻線の挿入位置との関係を示す回路図である。

図 9 は、本実施の形態における、二次側整流回路の変形例と、被制御巻線の挿入位置との関係を示す回路図である。

10 図 10 は、第 2 の実施の形態としての電源回路の構成例を示す回路図である。

図 11 は、第 2 の実施の形態としての二次側の制御回路の構成例を示す回路図である。

図 12 は、第 2 の実施の形態において、二次側の制御回路による、負荷短絡保護動作を示す波形図である。

15 図 13 は、第 2 の実施の形態において、寄生振動ノイズ除去のための抵抗を挿入した場合の二次側整流回路の動作を示す波形図である。

図 14 は、先行技術としての電源回路の構成例を示す回路図である。

図 15 は、先行技術の電源回路における二次側の他の構成例を示す回路図である。

20 図 16 は、可飽和インダクタの構造例を示す図である。

図 17 は、可飽和インダクタの B-H 特性を示す特性図である。

図 18 は、可飽和インダクタを備える磁気増幅器による定電圧制御動作を説明するための波形図である。

25 図 19 は、図 15 に示す磁気増幅器定電圧回路を等化的に示す回路図である。

発明を実施するための最良の形態

図1は、本発明の第1の実施の形態としてのスイッチング電源回路の構成例を示している。

この図に示す電源回路においては、先ず、商用交流電源ACに対して、
5 1つのコモンモードチョークコイルCMCと2本のアクロスコンデンサCLを接続して形成される、コモンモードノイズフィルタが設けられる。コモンモードノイズフィルタは、例えばスイッチングコンバータ側から商用交流電源ACに伝わるノイズを抑制する。

そして、上記コモンモードノイズフィルタの後段における商用交流電
10 源ACのラインに対しては、ブリッジ整流回路Di及び平滑コンデンサCiからなる全波整流回路が備えられる。この全波整流回路による整流平滑動作によって、平滑コンデンサCiの両端電圧として、交流入力電圧VACの等倍に対応するレベルの整流平滑電圧Eiが得られる。

上記整流平滑電圧Eiを直流入力電圧として入力して動作する一次側
15 スwitchングコンバータとしては、この場合、電流共振形コンバータとしての基本構成に対して少なくとも一次側に部分電圧共振回路を備えた、複合共振形コンバータとしての構成を採る。

そして、ここでは、図示するようにして、MOS-FETによる2本の
20 スwitchング素子Q1（ハイサイド）、Q2（ローサイド）をハーフブリッジ結合により接続している。スイッチング素子Q1、Q2の各ドレイン-ソース間に対しては、図示する方向により、それぞれダンパダイオードDD1、DD2を並列に接続している。

また、スイッチング素子Q2のドレイン-ソース間に対しては、部分共
振コンデンサCpが並列に接続される。この部分共振コンデンサCpの
25 キャパシタンスと一次巻線N1のリーケージインダクタンスL1によつては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチ

ング素子 Q1, Q2 のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

5 コントロール IC2 は、電流共振形コンバータを他励式により駆動するための発振回路、制御回路、及び保護回路等を備えて構成されるもので、内部にバイポーラトランジスタを備えた汎用のアナログ IC (Integrated Circuit) とされる。

10 このコントロール IC2 は、電源入力端子 Vcc に入力される直流電圧により動作する。この場合の電源入力端子 Vcc は、起動抵抗 R_s を介して整流平滑電圧 E_i のラインと接続されている。コントロール IC2 は、の起動抵抗 R_s を介して入力される整流平滑電圧 E_i により起動して動作することになる。また、このコントロール IC2 は、アース端子 E により一次側アースに接地させるようにしている。

15 そして、コントロール IC2 においては、スイッチング素子に対してドライブ信号 (ゲート電圧) を出力するための端子として、2 つのドライブ信号出力端子 V_{GH}, V_{GL} が備えられる。

 ドライブ信号出力端子 V_{GH} からは、ハイサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力され、ドライブ信号出力端子 V_{GL} からは、ローサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力される。

20 そして、ドライブ信号出力端子 V_{GH} から出力されるハイサイド用のドライブ信号は、スイッチング素子 Q1 のゲートに対して印加され、ドライブ信号出力端子 V_{GL} から出力されるローサイド用のドライブ信号は、スイッチング素子 Q2 のゲートに対して印加されるようになっている。

25 なお、ここでは図示していないが、実際には、コントロール IC2 は、周辺の外付け部品により形成されるブートストラップ回路が接続される。このブートストラップ回路は、ハイサイドのスイッチング素子 Q

1 に対して印加されるドライブ信号について、スイッチング素子 Q 1 を適正にドライブ可能なレベルとなるように、レベルシフトするためのものである。

また、実際には、スイッチング素子 Q 1, Q 2 には、ゲート抵抗や、ゲートソース間抵抗などの部品素子も接続されるが、ここでも、これらの図示は省略している。

コントロール IC 2 では、内部の発振回路により所要の周波数の発振信号を生成する。なお、この発振回路は、後述するようにして制御回路 1 から端子 V_c に入力される制御出力のレベルに応じて、発振信号の周波数を可変するようにされている。

そして、コントロール IC 2 では、上記発振回路にて生成された発振信号を利用して、ハイサイド用のドライブ信号と、ローサイド用のドライブ信号を生成する。そして、ハイサイド用のドライブ信号をドライブ信号出力端子 V_{GH} から出力し、ローサイド用のドライブ信号をドライブ信号出力端子 V_{GL} から出力する。

上記ハイサイド用のドライブ信号と、ローサイド用のドライブ信号は、1 スwitchング周期内において、正極性による矩形波のパルスが発生するオン期間と、0 V となるオフ期間が得られる波形を有する。そして、上記した波形を共に有するものとされた上で、互いに 180° の位相差を有する出力タイミングを有する。

このような波形によるドライブ信号がスイッチング素子 Q 1, Q 2 に印加されることで、スイッチング素子 Q 1, Q 2 は、発振回路の発振周波数により決まるスイッチング周波数によって、交互にオン／オフするようにしてスイッチング動作を行うことになる。

なお、実際のスイッチング動作としては、スイッチング素子 Q 1 がターンオフしてスイッチング素子 Q 2 がターンオンするまでの間と、スイッチ

ング素子Q2がターンオフして、スイッチング素子Q1がターンオンするまでの間に、スイッチング素子Q1、Q2が共にオフとなる、短時間のデッドタイムが形成されるようにしてなっている。

このデッドタイムは、スイッチング素子Q1、Q2が共にオフとなる期間である。このデッドタイムは、部分電圧共振動作として、スイッチング素子Q1、Q2がターンオン／ターンオフするタイミングでの短時間において、部分共振コンデンサC_{p1}における充放電の動作が確実に得られるようにすることを目的として形成している。そして、このようなデッドタイムとしての時間長は、例えばコントロールIC2側で設定することができるようになっており、コントロールIC2では、設定された時間長によるデッドタイム期間が形成されるように、ドライブ信号出力端子V_{GH}、V_{GL}から出力すべきドライブ信号についてのパルス幅のデューティ比を可変する。

絶縁コンバータトランスPITはスイッチング素子Q1、Q2のスイッチング出力を二次側に伝送するために設けられる。

この場合、絶縁コンバータトランスPITの一次巻線N1の一端は、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点（スイッチング出力点）に対して、直列共振コンデンサC1の直列接続を介して接続される。また、一次巻線N1の他端は、一次側アースに接続される。

上記した接続態様によると、スイッチング素子Q1、Q2のスイッチング出力点に対して、直列共振コンデンサC1—一次巻線N1の直列回路が接続されていることになる。これにより、直列共振コンデンサC1のキャパシタンスと、一次巻線N1を含む絶縁コンバータトランスPITのリーケージインダクタンスL1とによって、一次側直列共振回路が形成される。そして、上記のようにして、この一次側直列共振回路がスイッチング出

力点に対して接続されていることで、スイッチング素子 Q1, Q2 のスイッチング出力が一次側直列共振回路に伝達されることになる。一次側直列共振回路では伝達されたスイッチング出力に応じて共振動作するが、これによって、一次側スイッチングコンバータの動作を電流共振形とする。

つまり、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路 (C1-L1) による電流共振形としての動作と、前述した部分電圧共振回路 (Cp//L1) とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路を組み合わせた複合共振形コンバータとしての構成を採っている。なお、本明細書でいう複合共振形コンバータにおいて、上記他の共振回路としては、一次側に備えられるものであってもよいし、二次側に備えられるものであってもよい。この図 1 に示す回路の場合には、他の共振回路として、部分電圧共振回路が備えられているものである。

また、ここでの図示による説明は省略するが、絶縁コンバータトランス P I T の構造としては、例えばフェライト材による E 型コアを組み合わせた E E 型コアを備える。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線 N1 と、次に説明する二次巻線 N2, N2A を、E E 型コアの中央磁脚に対して巻装している。

そして、E E 型コアの中央磁脚に対しては 1.0mm~1.5mm のギャップを形成するようにしている。これによって、0.7~0.8 程度の結合係数による疎結合の状態を得るようにしている。

図 1 に示す電源回路の二次側では、複数の二次側直流出力電圧を生成して出力することとしており、この場合には、二次側直流出力電圧 Eo,

E_{o1} , E_{o2} の3つを出力することとしている。

そして、このように3つの二次側直流出力電圧を得るために、図1に示す回路では、絶縁コンバータトランスPITの二次側において、2組の二次巻線N2, N2Aを巻装することとしている。二次巻線N2側からは
5 二次側直流出力電圧 E_o , E_{o2} を生成し、二次巻線N2A側から二次側直流出力電圧 E_{o1} を生成して出力するようにされる。また、本実施の形態では、このようにして得られる二次側直流出力電圧 E_o , E_{o1} , E_{o2} の各々について、それぞれ個々に定電圧制御が行われるように構成される。

まず、二次巻線N2に対しては、図示するようにしてセンタータップを
10 設けて二次側アースに接続した上で、整流ダイオード D_{o1} , D_{o2} 、及び平滑コンデンサ C_o から成る両波整流回路を接続している。これにより、平滑コンデンサ C_o の両端電圧として二次側直流出力電圧 E_o が得られる。この二次側直流出力電圧 E_o は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

この二次側直流出力電圧 E_o の安定化は、制御回路1を備えた定電圧制御回路系がスイッチング周波数制御方式による定電圧制御を実行することによって行われるが、これについては後述する。

また、二次巻線N2に対しては、上記二次側直流出力電圧 E_o のための両波整流回路に対して、並列に二次側直流出力電圧 E_o を生成するための
20 両波整流回路が接続されている。

つまり、二次巻線N2の一方の端部に対しては、後述する直交型制御トランスPRT-2の被制御巻線NR1の直列接続を介して、整流ダイオード D_{o5} のアノードが接続される。また、二次巻線N2の他方の端部に対しては、直交型制御トランスPRT-2の被制御巻線NR1の直列接続を介して、整流ダイオード D_{o6} のアノードが接続される。整流ダイオード D_{o5} , D_{o6} の各カソードは、平滑コンデンサ C_{o2} の正極端子と接続される。
25

平滑コンデンサ C_{o2} の負極端子は二次側アースに接続される。ここで、直交型制御トランス $PRT-2$ における被制御巻線 $NR1$ については、巻終わり端部を二次巻線 $N2$ 側と接続し、巻始め端部を整流ダイオード D_{o5} 側に接続するようにしている。これに対して、被制御巻線 $NR2$ については、巻始め端部を二次巻線 $N2$ 側と接続し、巻終わり端部を整流ダイオード D_{o5} 側に接続するようにしている。

このようにして形成される両波整流回路によって、平滑コンデンサ C_{o2} の両端電圧として、二次側直流出力電圧 E_{o2} が得られる。

後述するが、この二次側直流出力電圧 E_{o2} に対する安定化は、制御回路 3-2 及び直交型制御トランス $PRT-2$ から成る定電圧制御回路系によって行われる。

他方の二次巻線の組である二次巻線 $N2A$ に対しては、センタータップを設けて二次側アースに接続した上で、上記した二次側直流出力電圧 E_{o2} と同様の接続態様によって、整流ダイオード D_{o3} 、 D_{o4} 、及び平滑コンデンサ C_{o1} から成る両波整流回路を接続している。この両波整流回路によって、平滑コンデンサ C_{o1} の両端電圧として二次側直流出力電圧 E_{o1} が生成される。この場合にも、整流ダイオード D_{o3} 、 D_{o4} の各アノードと、二次巻線 $N2A$ の端部間には、それぞれ、直交型制御トランス $PRT-1$ の被制御巻線 $NR1$ 、 $NR2$ が直列に挿入されている。

この二次側直流出力電圧 E_{o1} に対する安定化は、制御回路 3-1 及び直交型制御トランス $PRT-1$ から成る定電圧制御回路系によって行われる。

図 1 に示す電源回路における、二次側直流出力電圧 E_o 、 E_{o1} 、 E_{o2} についての負荷条件は次のようになっている。

$$E_o = 5.0 \text{ V} / 6 \text{ A} \sim 2 \text{ A}$$

$$E_{o1} = 12.0 \text{ V} / 1 \text{ A} \sim 0.2 \text{ A}$$

$$E_{o2} = 3.3 \text{ V} / 6 \text{ A} \sim 2 \text{ A}$$

続いては、上記二次側直流出力電圧 E_o 、 E_{o1} 、 E_{o2} に対する安定化のための構成について説明する。

- 5 先ずは、最も負荷電力が大きいとされる、二次側直流出力電圧 E_o に対する安定化は次のようにして行われる。

この二次側直流出力電圧 E_o を定電圧化するために、制御回路 1 に対しては、検出電圧として二次側直流出力電圧 E_o が入力される。制御回路 1 では、二次側の直流出力電圧 E_o のレベルに応じて、そのレベルが可変さ
10 れる電流又は電圧を制御出力として得る。この制御出力は、コントロール IC 2 の制御端子 V_c に対して出力される。

コントロール IC 2 では、制御端子 V_c に入力された制御出力レベルに応じて、ドライブ信号出力端子 V_{GH} 、 V_{GL} から出力すべきハイサイド用のドライブ信号と、ローサイド用のドライブ信号とについて、互いに
15 交互にオン／オフさせるタイミングを保たせたいうで、各ドライブ信号の周波数を同期させた状態で可変するように動作する。つまり、内部発振回路の発振周波数を可変する。

これにより、スイッチング素子 Q1、Q2 のスイッチング周波数は、制御端子 V_c に入力された制御出力レベル（つまり二次側直流出力電圧レ
20 ベル）に応じて、可変制御されることになる。

スイッチング周波数が可変されることによって、一次側直列共振回路における共振インピーダンスが変化することになる。このようにして共振インピーダンスが変化することによって、一次側直列共振回路の一次巻線 N1 に供給される電流量が変化して二次側に伝送される電力も
25 変化することになる。これにより、二次側直流出力電圧 E_o のレベルが変化することとなって、この二次側直流出力電圧 E_o についての定電圧制御

が図られることになる。

続いては、二次側直流出力電圧 E_{o2} を安定化するための構成について説明する。

先の説明からも分かるように、二次側直流出力電圧 E_{o2} のための定電
5 圧制御回路系は、直交型制御トランス $PRT-2$ 及び制御回路 $3-2$ を備えて成る。

ここで、直交型制御トランス $PRT-2$ の構造について、図 2 を参照して説明しておく。なお、二次側直流出力電圧 E_{o2} 側に備えられる直交
10 型制御トランス $PRT-1$ についても、同様の構造を有するものとされる。

この図に示すようにして、直交型制御トランス PRT ($PRT-1$, $PRT-2$) は、例えばフェライトによる 2 つのダブルコの字形コア 21 , 22 を備える。各ダブルコの字形コア 21 , 22 は、図示するよう
15 にして、4 本の磁脚を有して構成される。そして、これら 2 つのダブルコの字形コア 21 , 22 の互いの磁脚の端部を接合することで立体形コア 20 が形成される。

この場合においては、ダブルコの字形コア 21 , 22 の互いの磁脚の接合部分については、ギャップは形成しないこととしている。

そして、図示するようにして、ダブルコの字形コア 21 の 2 本の磁脚
20 に対して被制御巻線 $NR(NR1, NR2)$ を巻回し、ダブルコの字形コア 21 の 2 本の磁脚に対して制御巻線 NC を巻回する。この際、被制御巻線 NR と制御巻線 NC の巻回方向としては、図示するようにして、被制御巻線 NR に対して制御巻線 NC が直交するようにされている。これにより、被制御巻線 NR と制御巻線 NC との間でのトランス結合は無くなる。そして、
25 制御巻線 NC に流れる直流電流のレベルに応じて、被制御巻線 NR のインダクタンスが可変する特性となる可飽和リアクトルとしての構成が得ら

れる。

本実施の形態における直交型制御トランス P R T においては、被制御巻線 NR (NR1, NR2) は、 $60 \mu\text{m}\phi / 80$ 束のポリウレタン被覆銅線により 4 T (ターン) 巻回することとしている。また、制御巻線 NC としては、例えば $60 \mu\text{m}\phi$ のポリウレタン被覆銅線により 1000 T (ターン) 巻回することとしている。

そして、このような巻線仕様のもとでは、被制御巻線 NR のインダクタンス L_R についての直流重畳特性は図 3 に示すものとなる。この図では、縦軸がインダクタンス L_R で、横軸が被制御巻線 NR に流れる電流 I_R となっている。

この図から分かるように、制御電流 $I_c = 10 \text{ mA} \sim 40 \text{ mA}$ の可変範囲に対して、インダクタンス $L_R = 20 \mu\text{H} \sim 1.5 \mu\text{H}$ の可変範囲となる。

制御回路 3-2 では検出電圧として入力された二次側直流出力電圧 E_{o2} のレベルの誤差に応じて、直交型制御トランス P R T-2 の制御巻線 N_c に流すべき制御電流としての直流電流レベルを可変して出力する。

このようにして、直交型制御トランス P R T-2 の制御巻線 N_c に流れる制御電流レベルが可変されることに応じては、図 3 にも示したようにして、被制御巻線 NR のインダクタンス L_R が変化することになる。

ここで、二次側直流出力電圧 E_{o2} の基となる交番電圧が発生する二次巻線 N_2 のインダクタンスを L_2 とし、二次巻線 N_2 と直交型制御トランス P R T-2 の被制御巻線 NR2 との接続点と、二次側アース間の電位を V_2 とした場合、二次側直流出力電圧 E_{o2} のための整流回路系を形成する整流ダイオード D_{o6} のアノードと二次側アース間の電位 V_3 は、次のように表される。

$$V3 = V2 \times (L2 / (L2 + LR)) = V2 \times (1 + (LR / L2)) \dots$$

・ (式 1)

上記式 1 から分かるように、インダクタンス LR を可変することによって、 $V3$ のレベルが変化することが分かる。そして、 $V3$ のレベルが変化するということは、二次側直流出力電圧 E_{o2} のレベルもこれに応じて変化することとなる。従って、上記のようにして、二次側直流出力電圧 E_{o2} のレベル誤差に応じて被制御巻線 NR のインダクタンス LR を可変することによって、二次側直流出力電圧 E_{o2} のレベルが安定化されるように制御されるものである。

ここで、図 4 に制御回路 3-2 の内部構成例を示しておく。

この図に示す制御回路 3-2 においては、検出電圧である二次側直流出力電圧 E_{o2} が、分圧抵抗 $R11-R12$ によって分圧され、この分圧レベルがシャントレギュレータ $Q3$ のコントロール端子に入力されるようになっている。シャントレギュレータ $Q3$ では、このコントロール端子に入力された分圧レベル（二次側直流出力電圧 E_{o2} のレベル）の誤差に応じたレベルの電流が、12V の電源ラインから抵抗 $R13$ を介して流れることになる。なお、この 12V の電源ラインは、例えば二次側直流出力電圧 E_{o1} から引き出すようにすればよい。

そして、トランジスタ $Q4$ のベースは、シャントレギュレータ $Q3$ と並列に接続された抵抗 $R14-R15$ の直列回路の接続点に対して接続されている。また、コレクタは、直交型制御トランス $PRT-2$ の制御巻線 Nc の直列接続を介して、12V 電源ラインと接続されている。エミッタは二次側アースに接地されると共に、並列に抵抗 $R16$ が接続される。

このような接続態様とされることで、トランジスタ $Q4$ のコレクタには、シャントレギュレータ $Q3$ に流れる電流レベルに応じて増幅されたレベ

ルの直流電流が流れることになる。これが、制御巻線 N_c の制御電流となる。

このようにして、制御回路 3-2 では、二次側直流出力電圧 E_{o2} のレベル誤差をシャントレギュレータ Q_3 によって検出し、その検出された誤差に応じてレベルが可変されたトランジスタ Q_4 のコレクタ電流を、制御巻線 N_c に対して制御電流として流すようにしている。つまり、二次側直流出力電圧 E_{o2} のレベル誤差に応じてレベルが可変される直流電流を、制御電流として制御巻線 N_c に対して流すように構成されているものである。

10 なお、実際に図 4 に示す回路構成に基づいて形成される制御回路 3-2 としては、直交型制御トランス $PRT-2$ の制御巻線 N_c の抵抗値が $220\ \Omega$ であるとして、制御電流 $I_c = 10\text{ mA} \sim 30\text{ mA}$ の制御範囲となるように構成される。このような制御範囲を設定することで、実際における二次側直流出力電圧 E_{o2} の負荷変動に対応した定電圧制御が実現
15 できる。

図 5 の波形図は、上記した二次側直流出力電圧 E_{o2} の定電圧制御回路系における動作を示している。この図に示す動作は、二次側直流出力電圧 $E_{o2} = 3.3\text{ V} / 6\text{ A}$ 時の動作を示している。

20 まず、電位 V_2 は、図示するようにして、二次巻線 N_2 に得られる交番電圧の周期に応じて、1 周期ごとに正／負の極性で反転する波形が得られる。また、正／負の各極性におけるピークレベルは、それぞれ 6 V_p となっている。

また、電位 V_3 としても、電位 V_2 と同じ周期タイミングで正／負の極性で反転する波形とはなっているものの、整流ダイオード D_{o6} の導通期間である正極性の波形については、 4 V にまで低下している。これは、
25 先の式 1 によっても示したように、被制御巻線 NR_2 のインダクタンス L

R2が可変制御された影響で、6 Vから4 Vとなるようにコントロールされていることに依る。つまり、この図における、電位V3と電位V2の比較により、制御回路3-2及び直交型制御トランスPRT-2による定電圧制御動作が得られていることが示される。

- 5 そして、電位V3が正極性となる期間において、整流ダイオードD_{o6}には整流電流I₂が流れて平滑コンデンサC_{o2}における充電が行われる。

また、ここでは図示していないが、この図5において負極性となる期間においては、整流ダイオードD_{o5}側の整流電流経路系において、被制御巻線NR1のインダクタンスL_{R1}が可変制御されることで、同様の動作
10 が得られていることになる。

そして、このような動作が得られる結果、図5において示すように、例えば3.3 Vで一定となるように定電圧化された二次側直流出力電圧E_{o2}が得られることになる。

- 15 なお、二次巻線N2Aに対して接続された、二次側直流出力電圧E_{o1}のための定電圧制御回路系としても、直交型制御トランスPRT-1及び制御回路3-1が、上記した直交型制御トランスPRT-2及び制御回路3-2と同様の動作を行うことになる。これにより、二次側直流出力電圧E_{o1}についても、二次側直流出力電圧E_{o2}と同様にして安定化されることになる。

- 20 なお、制御回路3-1における制御電流I_cの制御範囲等は、二次側直流出力電圧E_{o1}における実際の負荷変動などを考慮して任意に設定されればよい。

- 25 このようにして図1に示す電源回路では、複数の二次側直流出力電圧を生成して出力するようにされている。そして、最も負荷電力の重い二次側直流出力電圧E_oについては、スイッチング周波数制御方式により定電圧制御を行うこととし、残る二次側直流出力電圧E_{o1}、E_{o2}について

は、直交型制御トランス P R T を備えて、整流電流経路に挿入した直交型制御トランス P R T の被制御巻線 N R のインダクタンスを可変することとで安定化を図ることとしている。

ここで、直交型制御トランス P R T の被制御巻線 N R における電力損失は少なく、被制御巻線 N R のインダクタンス可変のために制御回路 3 - 1 , 3 - 2 等が必要とする制御電力は 0 . 4 W 程度である。

この結果、図 1 に示す電源回路の DC/DC 電力変換効率 ($\eta_{DC/DC}$) は、二次側直流出力電圧 E_o については 94 %、 E_{o1} については 95 %、 E_{o2} については 94 % 程度となり、総合的には 90 % 程度となる。

これに対して、例えば図 1 4 及び図 1 5 に示した回路 DC/DC 電力変換効率は、88 % 又は 86 % 程度であり、図 1 に示す回路では、電力変換効率が向上されていることがわかる。なお、図 1 の電源回路と、図 1 4 及び図 1 5 の電源回路の電力損失を比較してみると、図 1 の電源回路は、図 1 4 の電源回路に対しては、1.5 W 低減している。また、図 1 5 の電源回路に対しては、3.2 W 低減している。これにより、図 1 に示す回路では、二次側定電圧制御回路系に対する放熱板などは不要となる。放熱板が不要となれば、その分、回路の小型軽量化が図られることになる。

また、図 1 に示す二次側の定電圧制御回路系の場合には、整流回路が両波整流回路であっても、1 組の可変インダクタンス素子である直交型制御トランス P R T と、1 組の制御回路 3 により構成することが可能である。

例えば、直交型制御トランス P R T は、磁気増幅器を形成する可飽和インダクタと比較すれば、非常に低コストである。また、制御回路 3 に備えられる半導体素子も、図 4 に示したようにして、安価な 50 V / 0.1 A のトランジスタ Q4 とシャントレギュレータ Q3 のみとなる。

この結果、例えば図 1 5 に示した磁気増幅器定電圧回路を備える回路構成と比較した場合には、図 1 に示す回路では、コストをほぼ 1 / 2 にまで抑えることが可能になる。

このようにして、本実施の形態の電源回路は、図 1 4 又は図 1 5 に示した電源回路と比較して、電力変換効率が向上され、また、はるかに低コストとすることが可能となっている。また、本実施の形態の電源回路における二次側の定電圧制御回路は、直交型制御トランス P R T の被制御巻線 N R のインダクタンス可変にあたって、制御巻線 N c に流す制御電流（直流電流レベル）を可変するという直流的制御であって、スイッチング動作を伴わない。従って、図 1 4 の回路で問題となった異なるスイッチング周波数による干渉の問題も生じない。

ところで、上記図 1 に示した二次側においては、各二次側直流出力電圧 E o, E o1, E o2 は、それぞれ両波整流回路によって生成する構成を採っている。しかしながら、二次側における整流回路の構成としては両波整流回路に限定されることなく、実際に必要とされる二次側直流出力電圧レベルや負荷電流量等に応じて、他の形式の整流回路とされても構わない。

そこで続いては、1 つの二次側直流出力電圧に対応した整流回路系の構成についての変形例として、4 例について図 6 ~ 図 9 を参照して説明しておくこととする。なお、各図に示す整流回路によって得られる二次側直流出力電圧としては、図 1 の場合であれば、直交型制御トランス P R T によって安定化される二次側直流出力電圧 E o1, 又は E o2 となる。

先ず、図 6 に示す整流回路系は、二次巻線 N 2 に対して、1 本の整流ダイオード D o と、1 本の平滑コンデンサ C o から成る半波整流回路を接続している。

ここで、例えば、直交型制御トランス P R T による定電圧制御を行う

のにあたって、図 1 に示した両波整流回路の場合には、二次巻線 N2 の交番電圧が正／負となる各期間において形成される整流電流経路に対して、それぞれ、直交型制御トランス P R T の被制御巻線 N R を挿入する必要があった。

- 5 これに対して、図 6 に示す半波整流回路の場合、整流動作が行われる半波の期間においては、整流電流は必ず二次巻線 N2 の端部と、整流ダイオード D o5 のアノードの接続点に流れる。換言すれば、両波整流回路の場合のように、1 周期内において二次巻線 N2 の交番電圧が正／負となる各期間において、それぞれ異なる整流電流経路によって整流電流が流れることはな
- 10 ることはない。

- 従って、図 6 に示すようにして半波整流回路を形成する場合においては、直交型制御トランス P R T の被制御巻線 N R は 1 組として、この 1 組の被制御巻線 N R を、二次巻線 N2 の端部と整流ダイオード D o5 のアノードの接続点との間に対して直列に挿入すればよいことになる。つまり、
- 15 図 6 に示す整流回路の構成に対応しては、直交型制御トランス P R T に巻装すべき被制御巻線 N R の数を、両波整流回路の場合よりも削減することができる。このようにして、直交型制御トランス P R T に巻装すべき巻線数の削減によって、例えば削減された巻線数分のコストダウンが図られ、また、直交型制御トランス P R T の製造効率が向上する。また、
- 20 直交型制御トランス P R T をさらに小型なものとすることも可能となる。

また、図 7 には、二次巻線 N2 に対してブリッジ整流回路 D B R と平滑コンデンサ C o から成る全波整流回路を接続した例が示されている。

- このような全波整流回路の場合、整流電流は、二次巻線 N2 の交番電圧が正／負となる両期間において、例えば、ブリッジ整流回路 D B R の正極
- 25 入力端子と二次巻線 N2 の端部との間のラインを必ず流れることになる。

そこで、この場合にも、直交型制御トランス P R T の被制御巻線 N R

は1組として、この1組の被制御巻線NRを、ブリッジ整流回路DBRの正極入力端子と二次巻線N2の端部との間のラインに挿入すればよいことになる。なお、例えば、ブリッジ整流回路DBRの負極入力端子と二次巻線N2のもう片方の端部との間のラインに対して被制御巻線NRを挿入しても、定電圧制御動作としては同等になる。

図8は、二次巻線N2に対して倍電圧整流回路が接続されている場合を示している。

この場合の倍電圧整流回路は、2本の整流ダイオードD_{o1}、D_{o2}と、直列接続された2本の平滑コンデンサC_{oA}—C_{oB}を図示するようにして接続して形成される。

この場合も直交型制御トランスPRTの被制御巻線NRは1組とされており、二次巻線N2の端部と、直列接続された平滑コンデンサC_{oA}—C_{oB}の接続点との間に対して直列に挿入されている。

ここで、図8に示す倍電圧整流回路の整流動作についてみると、まず、二次巻線N2の交番電圧が正となる期間では、二次巻線N2→整流ダイオードD_{o1}→平滑コンデンサC_{oA}→被制御巻線NR→二次巻線N2の経路により整流電流が流れて、平滑コンデンサC_{oA}に充電が行われる。これにより、平滑コンデンサC_{oA}には、二次巻線N2に得られる交番電圧レベルの等倍に対応したレベルの整流平滑電圧が得られる。

また、二次巻線N2の交番電圧が負となる期間では、二次巻線N2→被制御巻線NR→平滑コンデンサC_{oB}→整流ダイオードD_{o2}→二次巻線N2の経路により整流電流が流れて、平滑コンデンサC_{oB}に充電が行われる。これにより、平滑コンデンサC_{oB}にも、二次巻線N2の交番電圧レベルの等倍に対応したレベルの整流平滑電圧が得られる。

このような整流動作が1周期ごとに繰り返されることで、平滑コンデンサC_{oA}—C_{oB}の直列回路の両端電圧としては、二次巻線N2の交番電圧

レベルの 2 倍に対応するレベルの整流平滑電圧が得られることになり、この整流平滑電圧が二次側直流出力電圧となる。このようにして、倍電圧整流動作による二次側直流出力電圧が得られる。

そして、上記した整流動作によれば、二次巻線 N2 の端部と、平滑コンデンサ C_{oA} - C_{oB} の接続点との間に挿入された 1 組の被制御巻線 NR には、二次巻線 N2 の交番電圧が正／負となる両期間において、整流電流が流れるようにされる。つまり、この場合にも、被制御巻線 NR は、正／負の両期間において整流電流が流れる経路に挿入されているものである。従って、この場合においても、被制御巻線 NR は 1 組でよいことになる。

10 図 9 に示す整流回路は、4 倍電圧整流回路を形成している。この 4 倍電圧整流回路では、整流ダイオード D_{o1}, D_{o2}、平滑コンデンサ C_{oA}, C_{oC} から成る整流回路部によって倍電圧整流動作が行われ、平滑コンデンサ C_{oA} の両端電圧として、二次巻線 N2 の交番電圧レベルの 2 倍に対応するレベルの整流平滑電圧が得られる。

15 また、整流ダイオード D_{o3}, D_{o4}、平滑コンデンサ C_{oB}, C_{oD} から成る整流回路部によっても倍電圧整流動作が行われ、平滑コンデンサ C_{oB} の両端電圧として、二次巻線 N2 の交番電圧レベルの 2 倍に対応するレベルの整流平滑電圧が得られる。

この結果、直列接続された平滑コンデンサ C_{oA} - C_{oB} の両端電圧である二次側直流出力電圧として、二次巻線 N2 の交番電圧レベルの 4 倍に対応するレベルの整流平滑電圧が得られることとなる。

また、この場合にも直交型制御トランス PRT の被制御巻線 NR は 1 組であり、この被制御巻線 NR は、二次巻線 N2 の端部と、平滑コンデンサ平滑コンデンサ C_{oA} - C_{oB} の接続点との間に対して直列に挿入されている。

25 先ず、整流ダイオード D_{o1}, D_{o2}、平滑コンデンサ C_{oA}, C_{oC} から成

る整流回路部における倍電圧整流動作は、次のようになる。

二次巻線 N2 の交番電圧が負の期間では、二次巻線 N2 → 被制御巻線 NR → 整流ダイオード D o2 → 平滑コンデンサ C oC → 二次巻線 N2 の経路で整流電流が流れて平滑コンデンサ C oC に充電が行われることで、平滑コン
5 デンサ C oC の両端電圧としては、二次巻線 N2 の交番電圧の等倍に対応するレベルの直流電圧が得られる。

また、二次巻線 N2 の交番電圧が正の期間では、二次巻線 N2 → 平滑コンデンサ C oC → 整流ダイオード D o1 → 平滑コンデンサ C oA → 被制御巻線 NR → 二次巻線 N2 の経路で整流電流が流れる。このときには、平滑コン
10 デンサ C oC に得られている両端電圧分が重畳されるようにして、平滑コンデンサ C oA への充電が行われることになるから、平滑コンデンサ C oA の両端電圧としては、二次巻線 N2 の交番電圧の 2 倍に対応するレベルの直流電圧が得られる。このようにして、倍電圧整流動作が行われる。

また、整流ダイオード D o3, D o4、平滑コンデンサ C oB, C oD から成
15 る整流回路部では、先ず、二次巻線 N2 の交番電圧が正の期間において、二次巻線 N2 → 平滑コンデンサ C oD → 整流ダイオード D o3 → 被制御巻線 NR → 二次巻線 N2 の経路で整流電流が流れることにより、平滑コンデンサ C oD の両端電圧として、二次巻線 N2 の交番電圧の等倍に対応するレベルの直流電圧が得られる。

20 続く、二次巻線 N2 の交番電圧が負の期間においては、二次巻線 N2 → 被制御巻線 NR → 平滑コンデンサ C oB → 整流ダイオード D o4 → 平滑コンデンサ C oD → 二次巻線 N2 の経路で整流電流が流れる、このときは、平滑コンデンサ C oD に得られている両端電圧分が重畳されるようにして、平滑コンデンサ C oB への充電が行われることになって、平滑コンデンサ C
25 oA の両端には、二次巻線 N2 の交番電圧の 2 倍に対応するレベルの直流電圧が得られる。つまり、倍電圧整流動作が行われる。

このような整流動作によると、上記した2つの整流回路部の何れの整流動作についても、二次巻線N2の交番電圧が正／負となる両期間において、被制御巻線NRには整流電流が共通に流れていることになる。つまり、この場合にも、図示する位置に被制御巻線NRを挿入することで、この被
5 制御巻線NRを1組で済むようにしているものである。

図10は、第2の実施の形態としての電源回路の構成例を示している。なお、この図において、図1と同一部分には同一符号を付して説明を省略する。

また、この図10に示される直交型制御トランスPRT（直交型制御
10 トランスPRT-1、PRT-2）は、例えば先に示した図2の構成と同様でよい。

この図10に示す電源回路としては、まず、二次側において直交型制御トランスPRT（PRT-1、PRT-2）における被制御巻線NR（NR1, NR2）のインダクタンスを制御する二次側の制御回路3-2が、
15 図11に示すようにして構成される。なお、図11において、図4と同一部分には同一符号を付して説明を省略する。

図11に示す制御回路3-2は、12Vの電源ラインである二次側直流出力電圧Eo1と、直交型制御トランスPRTの制御巻線Ncとの間に、コンデンサC2が図示する極性によって挿入される。この場合のコンデン
20 サC2は電解コンデンサとされ、コンデンサC2の正極が二次側直流出力電圧Eo1のラインと接続され、負極が制御巻線Ncの端部と接続される。

また、コンデンサC2の正極にはトランジスタQ5のエミッタが接続され、負極にはトランジスタQ5のコレクタが接続される。抵抗R17は、トランジスタQ5のベース-エミッタ間抵抗である。

25 また、トランジスタQ5のベースは、抵抗R18を介してトランジスタQ6のコレクタと接続される。また、トランジスタQ6のエミッタは二次側

アースに接続される。トランジスタ Q6 のベースは、抵抗 R20 を介して二次側直流出力電圧 E_{o2} のラインと接続される。抵抗 R19 は、トランジスタ Q6 のベース－エミッタ間抵抗である。

このような制御回路 3-2 の構成では、例えば商用交流電源 AC が投入されて、二次側直流出力電圧 E_{o1} が規定のレベルにまで立ち上がると、
5 先ず、二次側直流出力電圧 E_{o1} のラインからコンデンサ C2 を介して、制御巻線 Nc に対して制御電流 I_c を流すことになる。

この際、二次側直流出力電圧 E_{o2} も、商用交流電源 AC の投入に応じて立ち上がることになるが、二次側直流出力電圧 E_{o2} が所定以上（例えば 2 V）のレベルに上昇すると、トランジスタ Q6 を導通させるに足るベース－エミッタ間電圧が得られ、トランジスタ Q6 をオン状態とする。これに応じて、トランジスタ Q5 もオン状態となる。

トランジスタ Q5 がオン状態となって以降は、制御電流 I_c は、二次側直流出力電圧 E_{o1} のラインから、トランジスタ Q5 のエミッターコレクタ
15 を経由する経路に切り換わって流れることになる。そして、以降においては、図 4 にて説明したようにして、二次側直流出力電圧 E_{o2} のレベルに応じて、シャントレギュレータ Q3 及びトランジスタ Q4 から成る誤差増幅器の動作によって制御電流 I_c のレベルがコントロールされること
20 となる。

ここで、二次側直流出力電圧 E_{o2} について負荷短絡が生じたとする。この場合、二次側直流出力電圧 E_{o2} は、0 レベルに低下するのであるが、これに応じて、トランジスタ Q6 は、これまでのオン状態からオフ状態となるように制御され、これに伴ってトランジスタ Q5 もオフ状態に遷移す
25 る。

このようにして、トランジスタ Q5 がオフ状態に遷移すると、二次側直

流出力電圧 E_{o1} のラインから制御電流 I_c を供給する経路が遮断されることになるので、制御電流 I_c は 0 レベルとなるが、これにより、図 3 にも示したように、被制御巻線 NR1, NR2 のインダクタンスは増加することになる。

- 5 このときの、二次側直流出力電圧 E_{o2} と、整流ダイオード D_{o5} , D_{o6} に流れる整流電流 I_2 の波形を図 12 に示す。

上記もしたように、負荷短絡が生じたことで、二次側直流出力電圧 E_{o2} については、0 レベルが継続する。

- そして、整流電流 I_2 は、本来であれば、負荷短絡したことによって、
10 非常に高レベルとなるのであるが、上記したように、制御電流 I_c が 0 レベルとされて被制御巻線 NR1, NR2 のインダクタンスが増加していることで、スイッチング周期に応じて高周波的に流れる整流電流 I_2 のレベルは抑制されることになる。例えば整流電流 I_2 は、定常時においても図 5 に示したようにして、 $1.5 A_p$ のレベルで流れるのであるが、負荷短絡
15 時を示す図 12 の波形図に依れば、 $1.2 A_p$ にまで抑制されていることが分かる。

- つまり、図 11 に示す制御回路 3-2 は、二次側直流出力電圧 E_{o2} の負荷短絡に対応した保護回路としての機能も与えられることになる。そして、このような負荷短絡保護機能を与えるのにあたっては、トランジスタ Q_5 , Q_6 及び電解コンデンサ C_2 を主として、他には数点の抵抗素子
20 などから成る、簡単で低コストな回路によって実現することができている。

- 例えば、図 14 及び図 15 に示す構成においては、負荷短絡のための保護機能を与えようとすれば、より複雑な負荷短絡保護回路を形成して
25 接続する必要があるが、本実施の形態よりも回路規模が大型化し、また、コストアップを招くことにもなる。

また、図 10 に示す第 2 の実施の形態としての電源回路では、例えば二次側直流出力電圧 E_{o1} に対応する定電圧制御回路系に対して、抵抗 R_1 を図示するようにして接続している。この抵抗 R_1 は、2 組の被制御巻線 NR_1 , NR_2 の、整流ダイオード側の端部間に対して挿入するようにされている。

また、二次側直流出力電圧 E_{o2} に対応する定電圧制御回路系に対して、同様の接続態様によって、抵抗 R_2 を接続している。

例えば、上記のようにして抵抗 R_1 , R_2 を挿入しない場合、図 5 に示すようにして、整流ダイオードと被制御巻線 NR との接続点と二次側アース間の電位 V_3 には、整流ダイオードがターンオフするタイミングで寄生振動によるノイズが発生していた。

そこで、図 10 に示すようにして、抵抗 R_1 , R_2 を挿入することによって、図 13 の電位 V_3 として示すように、上記した寄生振動としてのノイズが除去されることになる。なお、図 13 において示される電流 I_{Q2} は、スイッチング素子 Q_2 に流れるスイッチング電流である。この電流 I_{Q2} は、上記電位 V_3 の変化がスイッチング周期に対応していることを示すために、この図に記載されている。

例えば、12V ラインである二次側直流出力電圧 E_{o1} において発生する寄生振動としての電圧のピークレベルは 45V_p であり、これに対応して、整流ダイオード D_{o3} , D_{o4} には 60V 耐圧品を選定する必要がある。

これに対して、本実施の形態のようにして、抵抗 R_1 を接続して寄生振動を除去した場合には、整流ダイオード D_{o3} , D_{o4} の耐圧は 40V で済むこととなり、それだけ、整流ダイオードについての低コストとすることができ。また、低耐圧品のほうが良好な特性が得られるので、回路の信頼性を高めることにもなる。

なお、第2の実施の形態として説明した、二次側の制御回路3-2における負荷短絡保護回路（図11参照）と、寄生振動除去のための抵抗（R1, R2）は、必ずしも組み合わせて採用する必要はない。つまり、例えば、図1に示した第1の実施の形態としての電源回路をベースとして、図11に示した負荷短絡保護回路を備える制御回路3-2のみを付加してもよいし、また、寄生振動除去のための抵抗のみを備える構成としてもよい。

また、この第2の実施の形態としての電源回路においても、先に図6～図9に示した二次側直流出力電圧を生成するための整流回路系を適用することができる。

また、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

例えばスイッチング素子としては、例えばIGBT (Insulated Gate Bipolar Transistor) など、他励式に使用可能な素子であれば、MOS-FET以外の素子が採用されて構わない。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更されて構わない。

また、本発明としては、自励式でハーフブリッジ結合方式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、スイッチング素子として例えばバイポーラトランジスタを選定することができる。

さらには、例えば絶縁コンバータトランスPITの二次側において二次側直流出力電圧を生成するための回路構成としても、各図に示した以外の構成が採られて構わない。

また、本発明に基づく電源回路により生成する二次側直流出力電圧の数としては、例えば対応すべき負荷電力や、必要とされる直流電源の数などに応じて適宜変更されてよい。また、二次側直流出力電圧数に応じ

て、絶縁コンバータトランス P I T の二次側に巻装すべき二次巻線数も変更されてよい。

産業上の利用可能性

5 以上説明したように本発明のスイッチング電源回路は、一次側スイッチングコンバータの基本構成として電流共振形コンバータを備える。そして、二次側においては、複数の二次側直流出力電圧を生成するようにされている。

10 そして、これら複数の二次側直流出力電圧のうち、特定の 1 つの二次側直流出力電圧については、その二次側直流出力電圧のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御することによって定電圧化を図るようにされる。

15 また、残る二次側直流出力電圧のうち、安定化が必要なものの定電圧化については、その二次側直流出力電圧ごとに対応して、制御巻線と被制御巻線を備える可飽和リアクトルとしての制御トランスを備えることとしている。そして、被制御巻線を、その制御対象である二次側直流出力電圧を生成するための整流電流経路に挿入する。そして、制御対象である二次側直流出力電圧のレベルに応じて、制御巻線に流す制御電流レベルを可変することで、被制御巻線のインダクタンスを変化させ、これ
20 により、制御対象の二次側直流出力電圧の安定化を実現する。

 このような構成であれば、例えばシリーズレギュレータや降圧形コンバータ、若しくは磁気増幅器により二次側直流出力電圧を安定化する場合と比較して、電力損失が低下することになるので、電源回路としての電力変換効率が向上されることになる。

25 また、回路の実際としては、可飽和リアクトルとしての制御トランスと、この制御トランスの制御巻線に流すべき直流電流（制御電流）レベ

ルを、制御対象の二次側直流出力電圧レベルに応じて可変するための回路を備えればよいこととなる。これにより、同じくシ리즈レギュレータや降圧形コンバータ、若しくは磁気増幅器により二次側直流出力電圧を安定化する場合と比較すれば、非常に低コストで、安定化のための構成を得ることが可能となる。

- さらに、制御トランスを利用する定電圧制御動作は、制御トランスの制御巻線に流すべき直流電流（制御電流）レベルを可変制御するという制御であり、一次側スイッチングコンバータと独立したスイッチング動作は行われない。従って、降圧形コンバータを採用した場合のような、異なるスイッチング周波数の干渉が生じることが無く、それだけ、電源回路内に発生するノイズ量も低減されることとなる。

請求の範囲

1. 直流入力電圧を入力してスイッチング動作を行うスイッチング素子を備えて形成されるスイッチング手段と、

5 上記スイッチング素子をスイッチング駆動するスイッチング駆動手段と、

少なくとも、上記スイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、該一次巻線に得られたスイッチング出力としての交番電圧が励起される複数の二次巻線を巻装して形成されるコンバータトランスと、

10 上記コンバータトランスの複数の二次巻線の一つに得られる交番電圧を入力して、整流動作を行うことで第一の直流出力電圧を生成するように構成される第一の直流出力電圧生成手段と、

上記複数の二次巻線のうち他の二次巻線に得られる交番電圧を入力して、整流動作を行うことで第二の直流出力電圧を生成するように構成され、上記第一の直流出力電圧生成手段に比べて負荷に供給する電力が少ない第二の直流出力電圧生成手段と、

上記第一の直流出力電圧生成手段により生成される第一の二次側直流出力電圧のレベルに応じて上記スイッチング駆動手段を制御して、上記
20 スwitching手段のスイッチング周波数を可変することで、上記第一の直流出力電圧に対する定電圧制御を行うように構成された周波数制御型定電圧制御手段と、

制御巻線と被制御巻線が巻装された可飽和リアクトルとしての制御トランスを有し、上記被制御巻線が上記他の二次巻線と上記第二の直流出力電圧生成手段との間に挿入され、上記第二の直流出力電圧生成手段からの第二の直流出力電圧レベルに応じて、上記制御巻線に流す制御電流
25

レベルを可変して上記被制御巻線のインダクタンスを可変することで、
上記第二の直流出力電圧に対する定電圧制御を行うように構成されたインダクタンス制御型定電圧制御手段と

を備えることを特徴とするスイッチング電源回路。

- 5 2. 上記コンバータトランスは、中央磁脚を有するコアを備え、該中央磁脚にギャップを設けるとともに、上記一次巻線と上記複数の二次巻線とを上記中央磁脚に巻装し、粗結合とされる結合係数を有するトランスであることを特徴とする請求項1に記載のスイッチング電源回路。

- 10 3. 上記スイッチング手段は、直流入力電圧と基準電位間に接続され、交点を介して縦列接続された二つのスイッチング素子を有するスイッチング手段であり、

- 15 上記コンバータトランスの一次巻線の漏洩インダクタンス成分と、上記一次巻線に直列接続された一次側直列共振コンデンサのキャパシタンスとによって形成され、上記二つのスイッチング素子の交点と上記基準電位間に接続される直列共振回路であって、上記スイッチング手段により得られるスイッチング出力を共振させる直列共振回路を、さらに備えることを特徴とする請求項2に記載のスイッチング電源回路。

- 20 4. 上記二つのスイッチング素子のうち、上記基準電位間に接続されるスイッチング素子に並列に接続される並列共振コンデンサを有し、上記コンバータトランスの一次巻線の漏洩インダクタンス成分との部分共振動作を行う部分共振回路をさらに備えることを特徴とする請求項3に記載のスイッチング電源回路。

- 25 5. 上記複数の二次巻線は、基準電位に接続されたセンタータップにより巻線がそれぞれ二つに分けられ、互いに正または負となる期間が異なる交番電圧が誘起され、

上記第一の直流出力電圧生成手段および上記第二の直流出力電圧生成

手段は、上記センタータップにより分けられる二つの巻線のそれぞれに一端が接続され、他端が共通に接続され、上記誘起される交番電圧を整流する二つの整流器と、該二つの整流器の他端と基準電位との間に接続される平滑コンデンサにより形成される全波整流・平滑回路であること

5 を特徴とする請求項 3 に記載のスイッチング電源回路。

6. 上記二つに分けられた巻線の間に接続される抵抗を有することを特徴とする請求項 5 に記載のスイッチング電源回路。

7. 上記インダクタンス制御型定電圧制御手段は、

10 上記第二の直流出力電圧レベルの誤差に応じたレベルの出力を生成するシャントレギュレータと、

上記制御巻線の一端に上記第一の出力電圧が電源として供給され、上記制御巻線の他端に接続され、該制御巻線に対して上記シャントレギュレータの出力を増幅して上記制御電流として出力する増幅回路と、

を備えることを特徴とする請求項 1 に記載のスイッチング電源回路。

15 8. 上記インダクタンス制御型定電圧制御手段は、上記第二の直流出力電圧について負荷短絡が生じたのに応じて、上記増幅回路への電源供給を停止させるように構成され、所要数のトランジスタ素子を備えて形成されるスイッチ回路を備えることを特徴とする請求項 7 に記載のスイッチング電源回路。

20 9. 上記制御トランスは、上記制御巻線に流す制御電流レベルの可変によりインダクタンスが可変される一対の被制御巻線を有し、該一対の被制御巻線に対して上記制御巻線が直交するように配置される直交制御型トランスであることを特徴とする請求項 5 に記載のスイッチング電源回路。

25 10. 上記第一の直流出力電圧生成手段に対して並列に設けられる全波整流・平滑回路であって、上記二つに分けられた巻線のそれぞれに一

端が接続され、上記誘起される交番電圧を整流する二つの整流器と、共通に接続される二つの整流器の他端と基準電位との間に接続される平滑コンデンサにより形成され、第三の直流出力電圧を供給する全波整流・平滑回路と、

- 5 上記二つに分けられた巻線と上記二つの整流器との間にそれぞれ直列に接続される一対の被制御巻線および制御巻線を有する制御トランスと、
- 上記全波整流・平滑回路からの上記第三の直流出力電圧レベルに応じて、上記制御巻線に流す制御電流レベルを可変して上記被制御巻線のインダクタンスを可変することで、上記第三の直流出力電圧に対する定電
- 10 圧制御を行うように構成された第二のインダクタンス制御型定電圧制御手段と、

 を備えることを特徴とする請求項 5 に記載のスイッチング電源回路。

補正書の請求の範囲

[2004年4月9日 (09. 04. 04) 国際事務局受理：出願当初の請求の範囲4-10は
取り下げられた；出願当初の請求の範囲1, 2及び3は補正された；
新しい請求の範囲11-15が加えられた；
他の請求の範囲は変更なし。(4頁)]

1. (補正後) 直流入力電圧を入力してスイッチング動作を行うスイッチング素子を備えて形成されるスイッチング手段と、

5 上記スイッチング素子をスイッチング駆動するスイッチング駆動手段と、

少なくとも、上記スイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、該一次巻線に得られたスイッチング出力としての交番電圧が励起される二次巻線を巻装して形成

10 されるコンバータトランスと、

上記コンバータトランスの二次巻線に得られる交番電圧を入力して整流動作を各々行うことで複数の直流出力電圧を生成するように構成される複数の直流出力電圧生成手段の一つであって、供給電力が大きな第一の直流出力電圧を生成するように構成される第一の直流出力電圧生成手

15 段と、

上記複数の直流出力電圧生成手段の他であって、上記第一の直流出力電圧生成手段に比べて供給電力が小さい第二の直流出力電圧生成手段と、

上記第一の直流出力電圧生成手段により生成される第一の二次側直流出力電圧のレベルに応じて上記スイッチング駆動手段を制御して、上記
20 スwitchング手段のスイッチング周波数を可変することで、上記第一の直流出力電圧に対する定電圧制御を行うように構成された第一の定電圧制御手段と、

上記第二の直流出力電圧レベルに応じたレベルの出力を生成するシャントレギュレータを有するとともに、上記二次巻線と上記第二の直流出力電圧生成手段との間に挿入される被制御巻線および上記シャントレギュ
25 レータの出力に応じた制御電流が流される制御巻線が巻装された制御

トランスを有し、上記制御巻線に流される制御電流のレベルに応じて上記被制御巻線のインダクタンスが可変されることで、上記第二の直流出力電圧に対する定電圧制御を行うように構成された第二の定電圧制御手段と

5 を備えることを特徴とするスイッチング電源回路。

2. (補正後) 上記コンバータトランスは、中央磁脚を有するE型コアが組み合わされ、上記中央磁脚にギャップが設けられるとともに、上記一次巻線と上記二次巻線とが上記中央磁脚に巻装され、粗結合とされる結合係数を有するトランスであることを特徴とする請求項1に記載の
10 スイッチング電源回路。

3. (補正後) 上記コンバータトランスの一次巻線の漏洩インダクタンス成分と、上記一次巻線に直列接続された一次側直列共振コンデンサのキャパシタンスとによって形成され、上記二つのスイッチング素子の交点と上記基準電位間に接続される直列共振回路であって、上記スイッチング手段により得られるスイッチング出力を共振させる直列共振回路を、さらに備えることを特徴とする請求項2に記載のスイッチング電源回路。
15 回路。

4. (削除)

5. (削除)

20 6. (削除)

7. (削除)

8. (削除)

9. (削除)

10. (削除)

25 11. (追加) 上記スイッチング手段は、ハーフブリッジ結合されるスイッチング素子であって、上記スイッチング駆動手段により交互にオ

ンオフ駆動される二つのスイッチング素子を有し、

上記コンバータトランスは、第一の直流出力電圧を生成するための交番電圧を得る第一の二次巻線および第二の直流出力電圧を生成するための交番電圧を得る第二の二次巻線をそれぞれ有し、

- 5 上記第一および第二の二次巻線は、センタータップによりそれぞれ二つに分けられ、互いに正または負となる期間が異なる交番電圧が誘起され、

- 10 上記第一の直流出力電圧生成手段は、第一の二次巻線に接続され、上記交番電圧を上記異なる期間において整流する第一の全波整流回路を有し、

上記第二の直流出力電圧生成手段は、第二の二次巻線に接続され、上記交番電圧を上記異なる期間において整流する第二の全波整流回路を有し、

- 15 上記制御トランスは、上記制御電流のレベルに応じてインダクタンスが可変される被制御巻線を一對有し、該一對の被制御巻線の各々は上記センタータップにより二つに分けられる巻線と上記第二の全波整流回路との間に挿入されることを特徴とする請求項3に記載のスイッチング電源回路。

- 20 12. (追加) 上記スイッチング手段は、ハーフブリッジ結合されるスイッチング素子であって、上記スイッチング駆動手段により交互にオンオフ駆動される二つのスイッチング素子を有し、

上記コンバータトランスの二次巻線は、センタータップにより二つに分けられ、互いに正または負となる期間が異なる交番電圧が誘起されるとともに、この交番電圧がさらに分岐され、

- 25 上記第一の直流出力電圧生成手段は、上記分岐された交番電圧の一方であって上記異なる期間の交番電圧を各々整流する第一の全波整流回路

を有し、

上記第二の直流出力電圧生成手段は、上記分岐された交番電圧の他方であって上記異なる期間の交番電圧を各々整流する第二の全波整流回路を有し、

5 上記制御トランスは、上記制御電流のレベルに応じてインダクタンスが可変される被制御巻線を一對有し、該一對の被制御巻線の各々は上記センタータップにより二つに分けられる巻線と上記第二の全波整流回路との間に挿入されることを特徴とする請求項 3 に記載のスイッチング電源回路。

10 1 3. (追加) 上記ハーフブリッジ結合されるスイッチング素子の一方に並列に接続される並列共振コンデンサを有するとともに、該並列共振コンデンサと上記コンバータトランスの一次巻線の漏洩インダクタンス成分との部分共振動作を行う部分共振回路をさらに備えることを特徴とする請求項 1 1 または請求項 1 2 に記載のスイッチング電源回路。

15 1 4. (追加) 上記一對の被制御巻線の一つと上記全波整流回路との接続点および上記一對の被制御巻線の他と上記第二の全波整流回路との接続点の間に接続される抵抗を有することを特徴とする請求項 1 1 または請求項 1 2 に記載のスイッチング電源回路。

20 1 5. (追加) 上記第二の定電圧制御手段は、上記シャントレギュレータの出力を増幅して上記制御巻線に対する上記制御電流として出力する増幅回路と、上記増幅回路への電源供給を制御するスイッチ回路とを備え、

上記スイッチ回路は、上記第二の直流出力電圧について負荷短絡が生じたのに応じて、上記増幅回路への電源供給を停止させるように構成されることを特徴とする請求項 1 に記載のスイッチング電源回路。

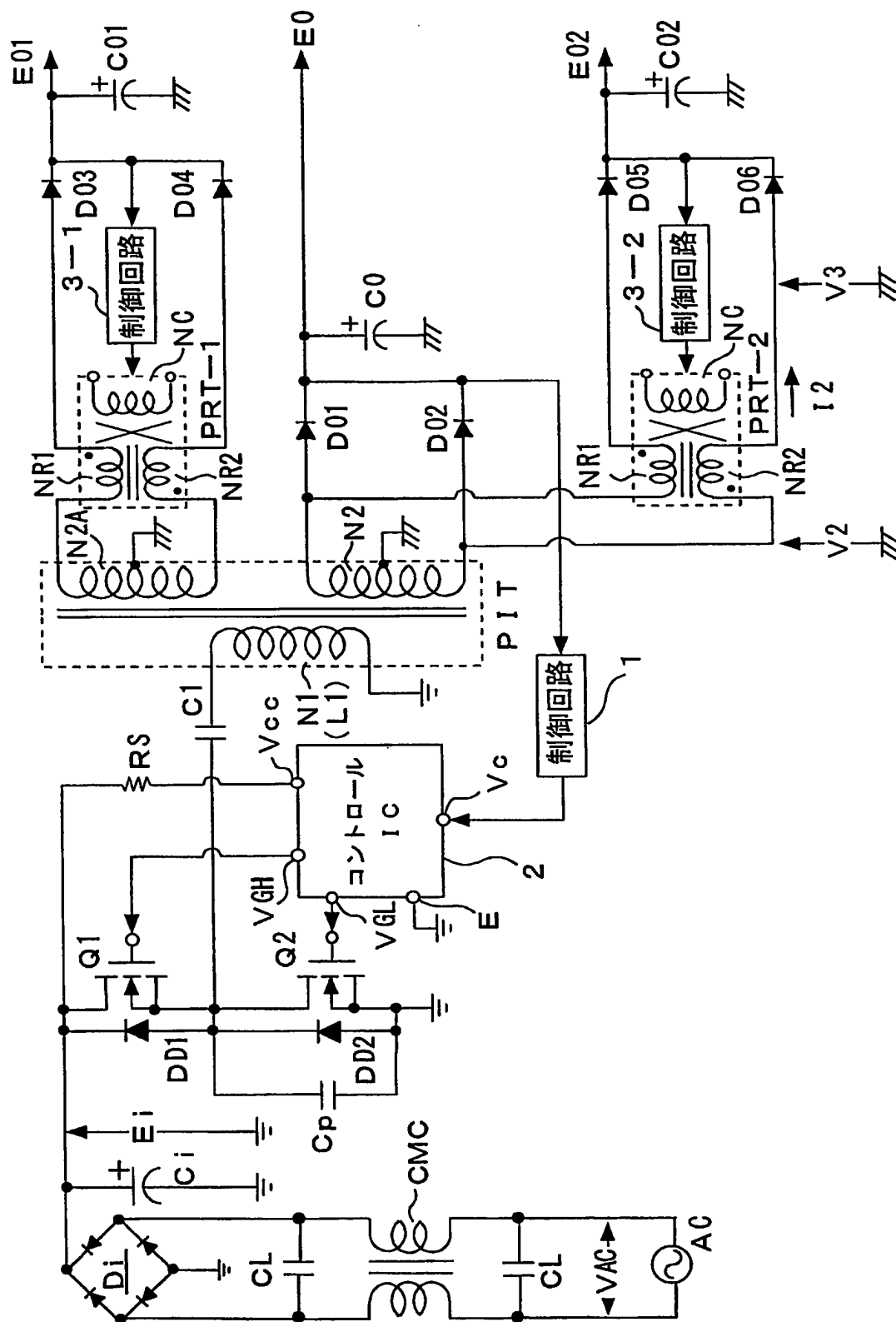


Fig. 1

2/13

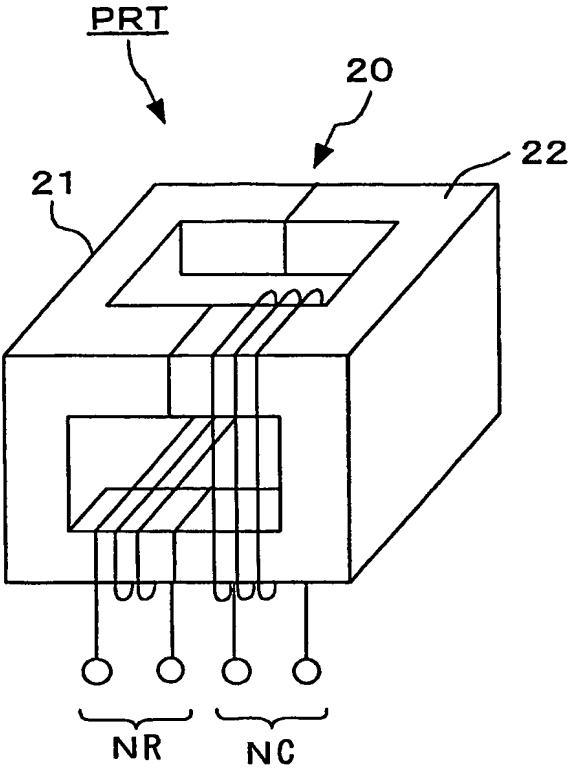


Fig.2

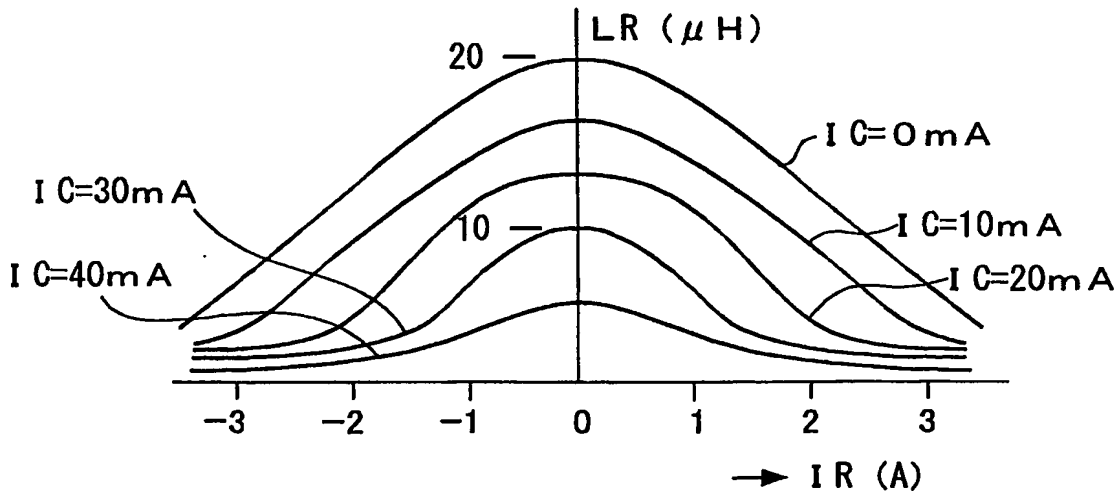


Fig.3

3/13

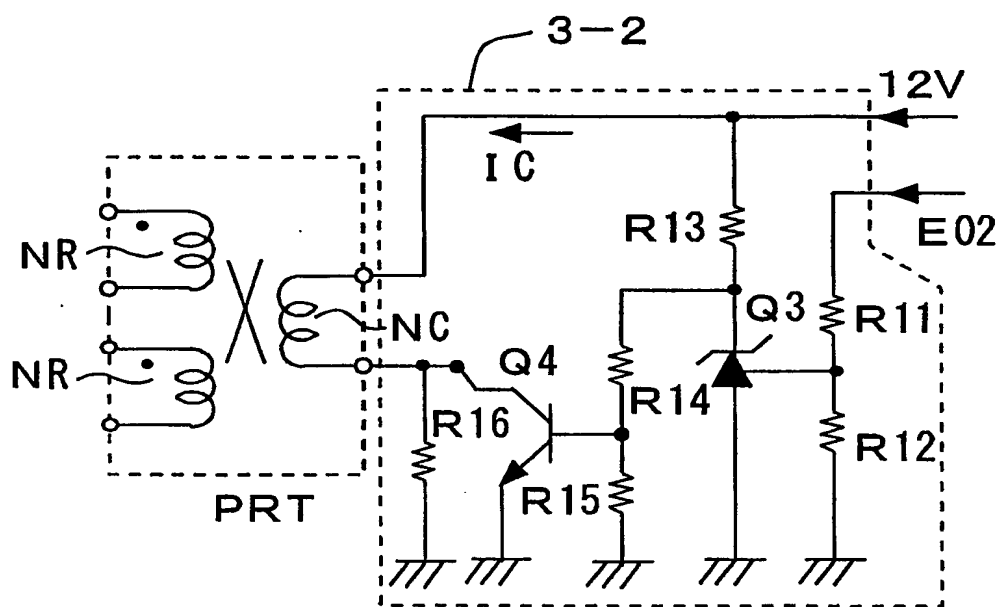


Fig.4

4/13

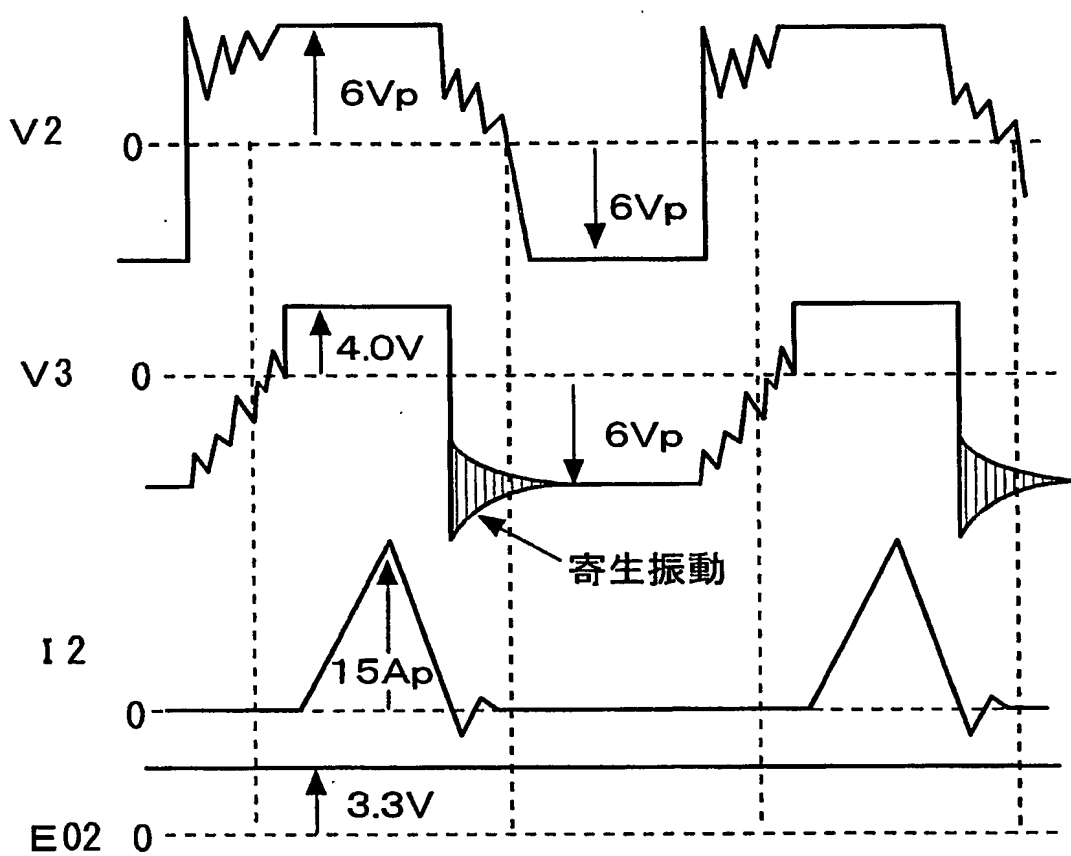


Fig.5

5/13

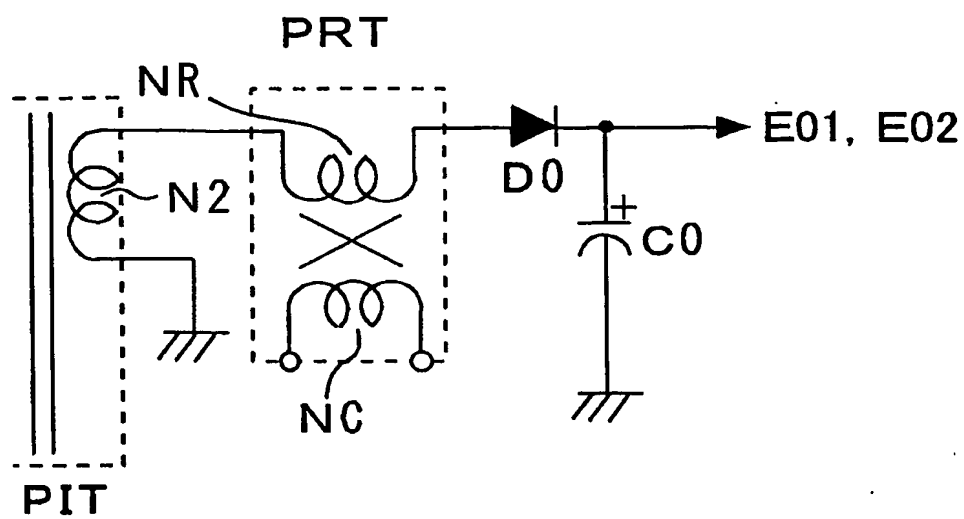


Fig.6

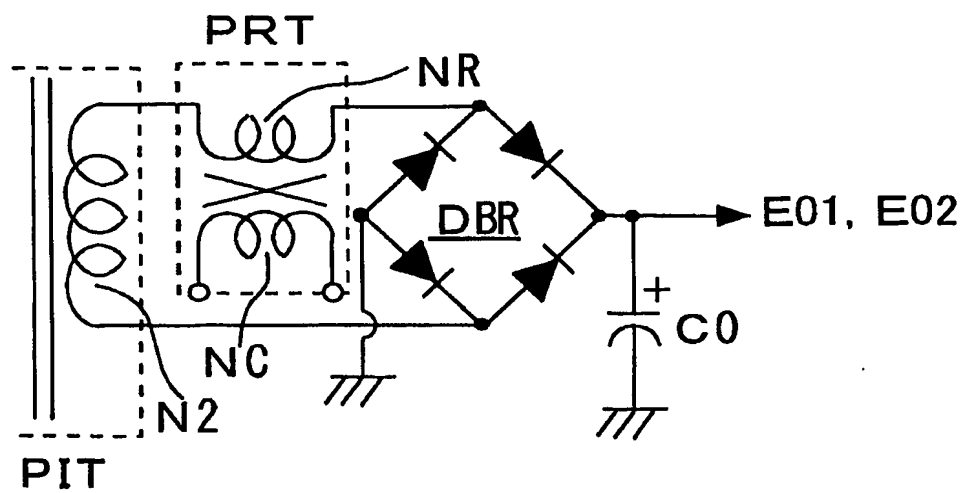


Fig.7

6/13

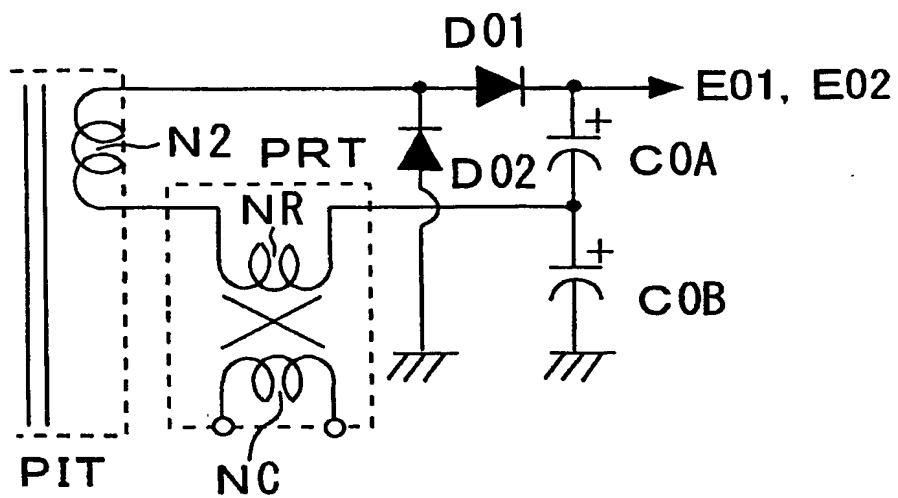


Fig. 8

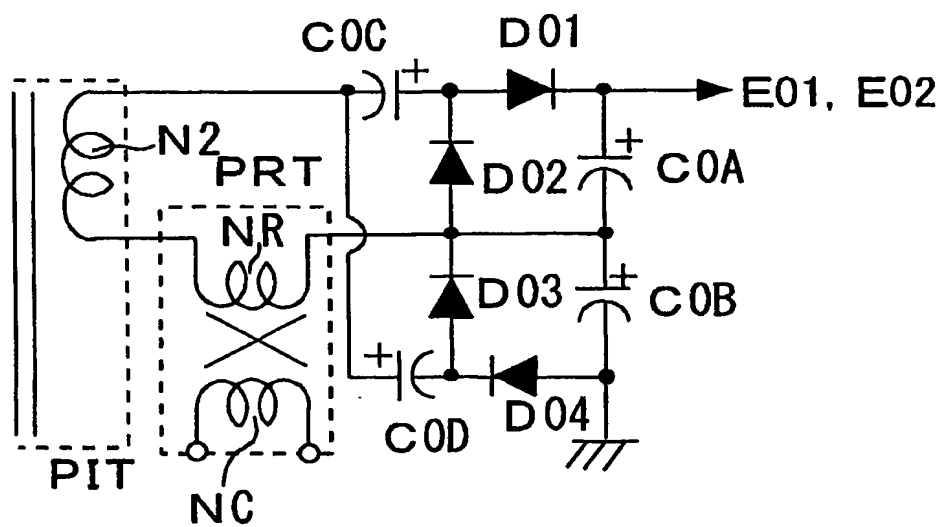


Fig. 9

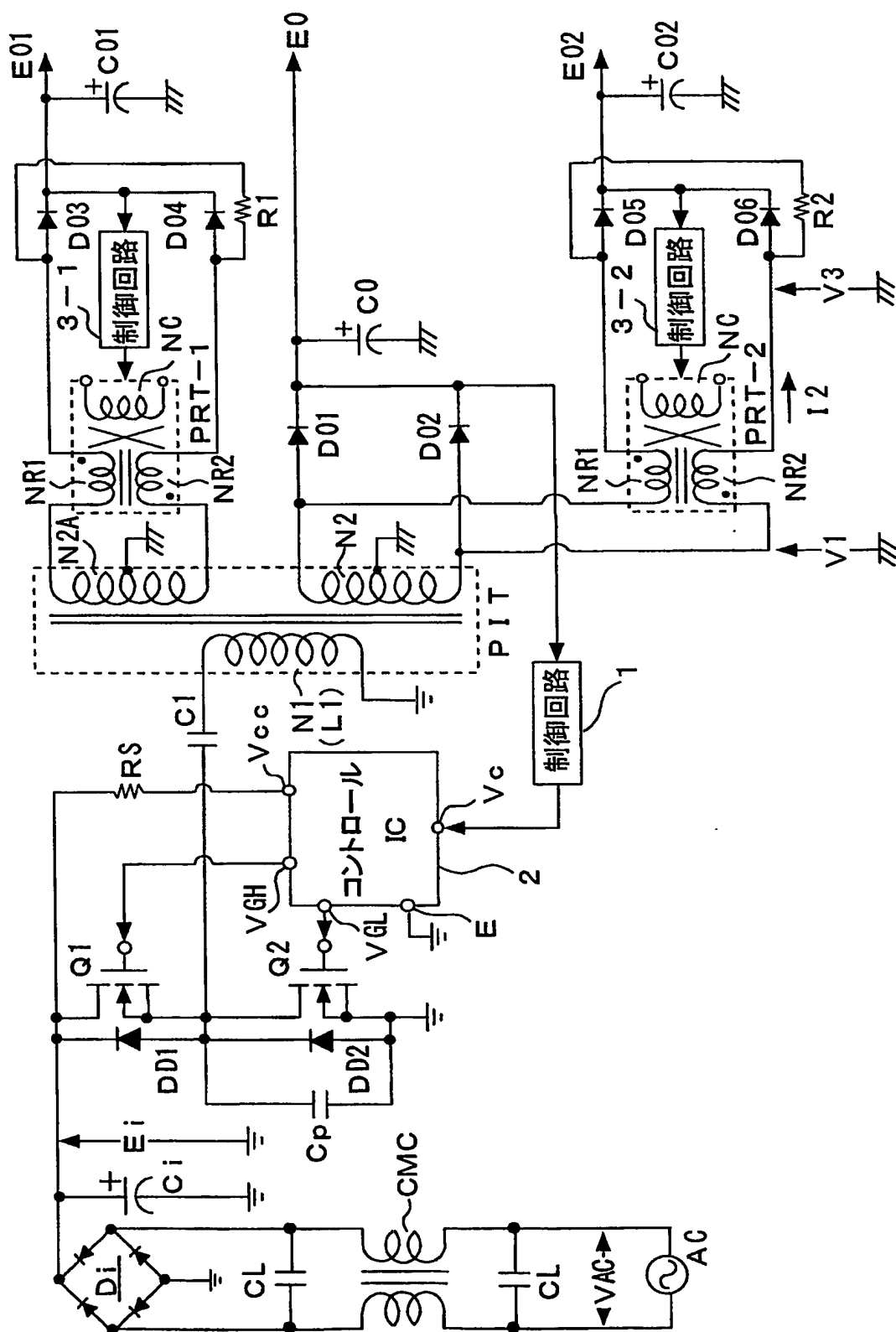


Fig. 10

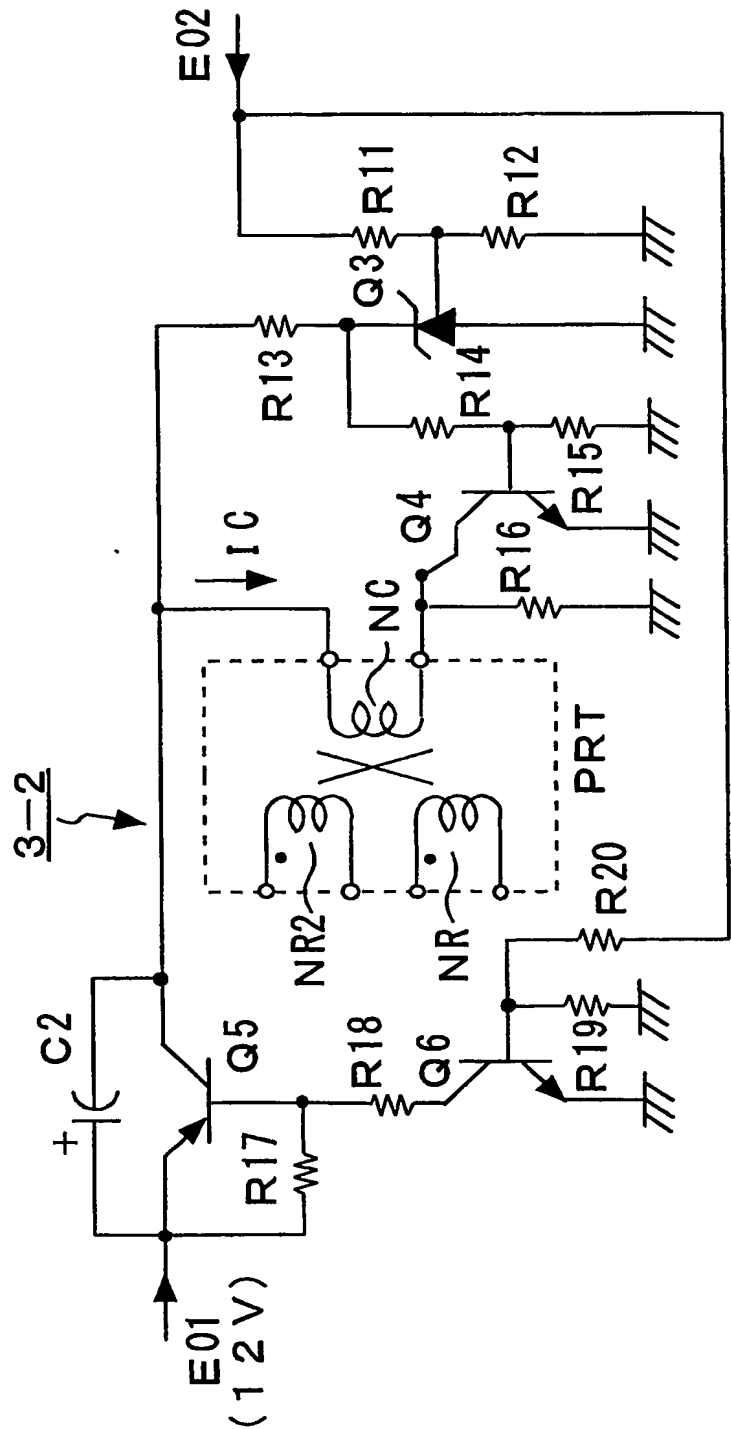


Fig.11

9/13

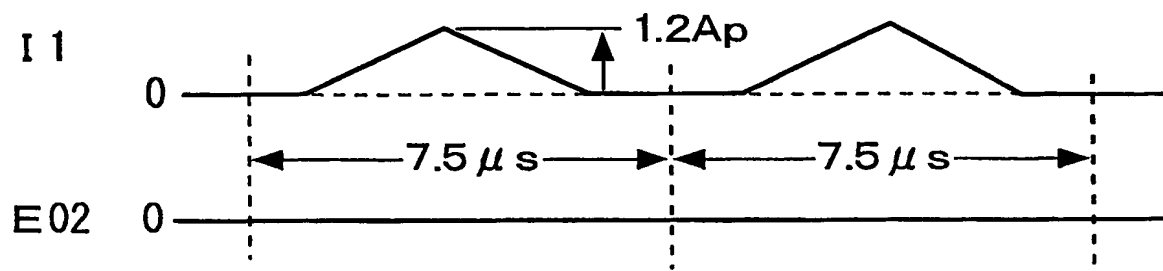


Fig.12

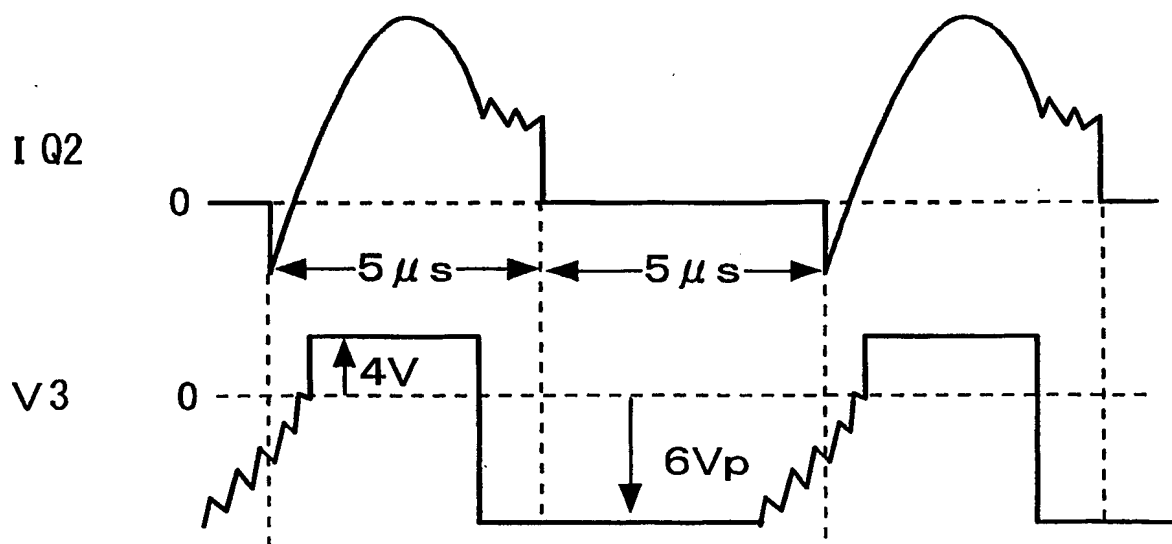


Fig.13

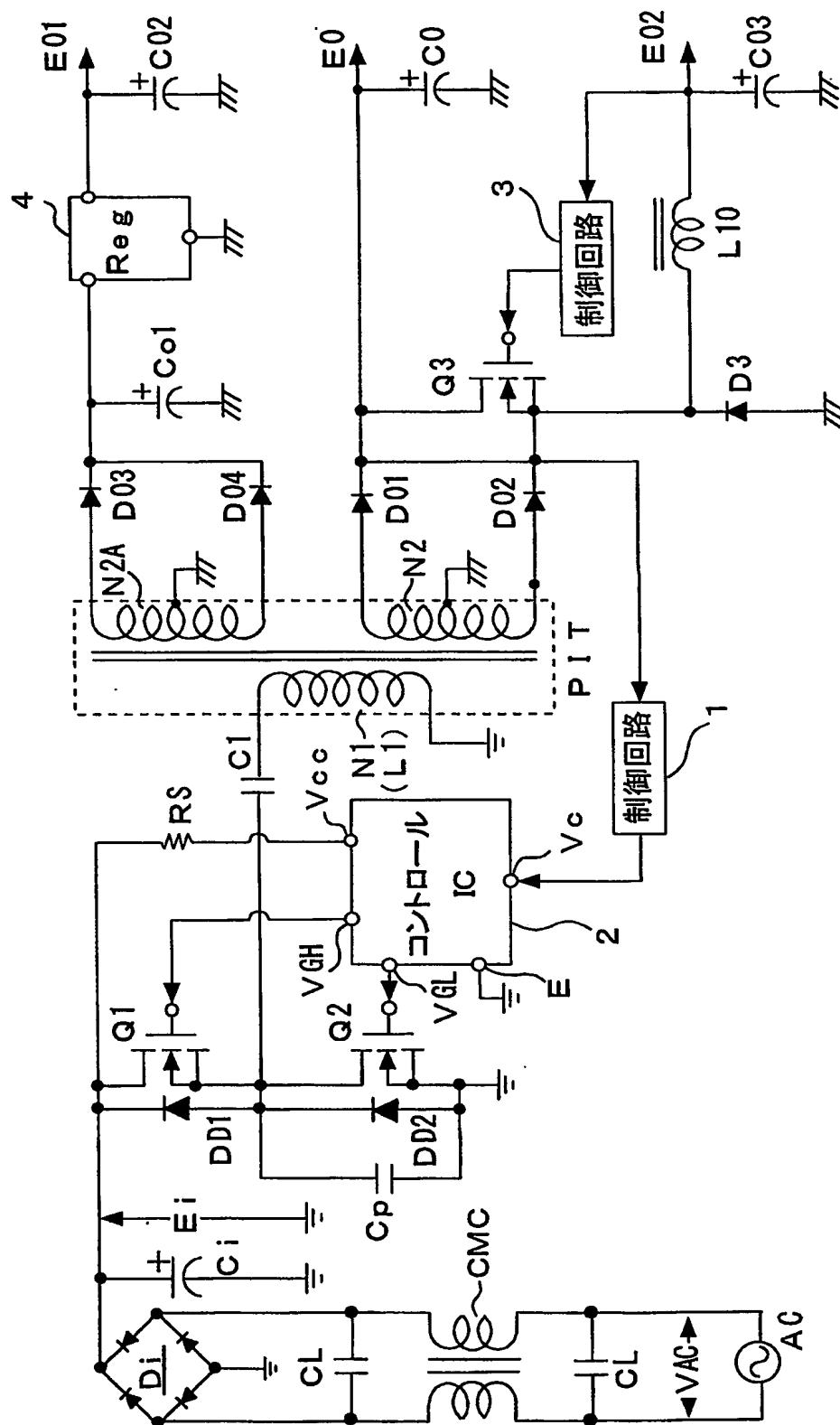


Fig. 14

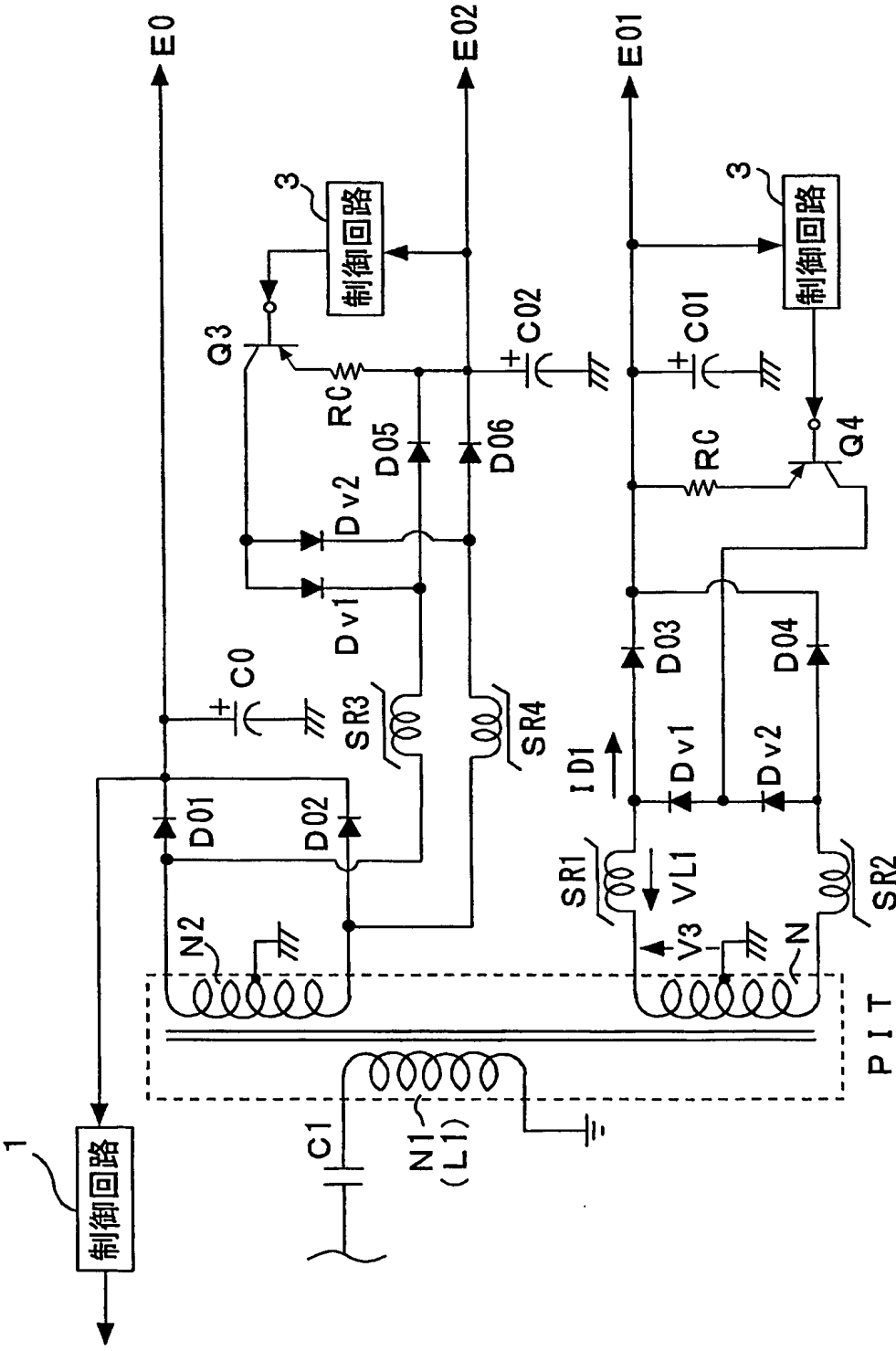


Fig.15

12/13

SR

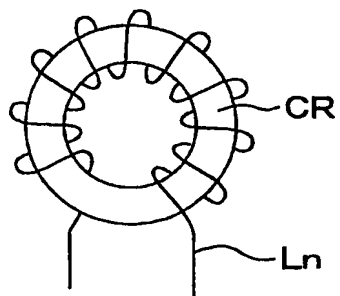


Fig.16

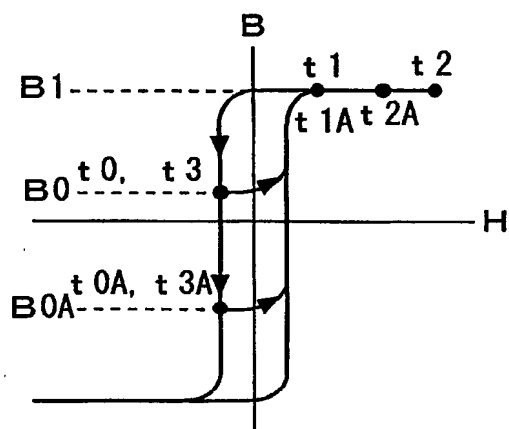


Fig.17

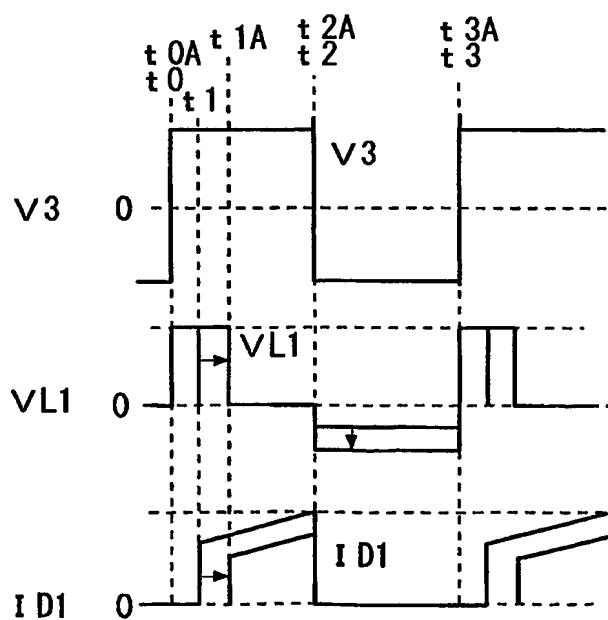


Fig.18

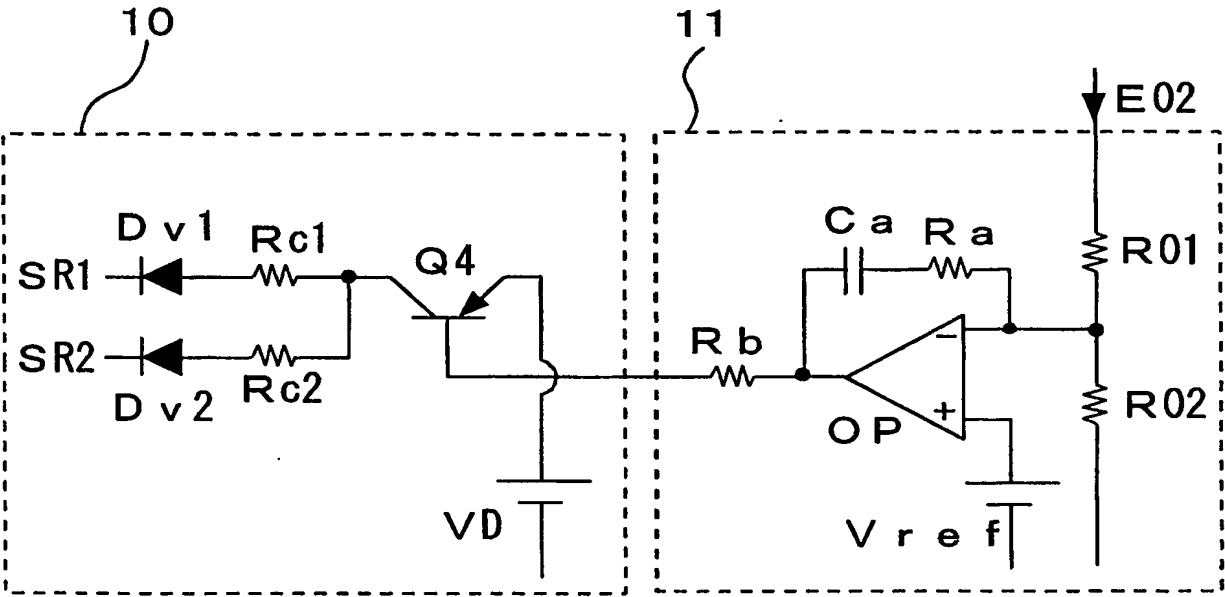


Fig.19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14457

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2004 |
| Kokai Jitsuyo Shinan Koho | 1971-2004 | Jitsuyo Shinan Toroku Koho | 1996-2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y A | JP 2002-64981 A (Sony Corp.), 28 February, 2002 (28.02.02), Par. Nos. [0035] to [0075]; Figs. 1 to 3 (Family: none) | 1-6, 9, 10 7, 8 |
| Y A | JP 2001-218460 A (Sony Corp.), 10 August, 2001 (10.08.01), Par. Nos. [0077] to [0085]; Fig. 7 (Family: none) | 1-6, 9, 10 7, 8 |
| Y | EP 1001520 A2 (SONY CORP.), 17 May, 2000 (17.05.00), Par. Nos. [0038] to [0042]; Fig. 16 & JP 2000-152617 A & US 6317337 B1 | 9 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 February, 2004 (10.02.04)

Date of mailing of the international search report
24 February, 2004 (24.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14457

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2000-152618 A (SONY CORP.), 30 May, 2000 (30.05.00), Par. Nos. [0021] to [0023]; Fig. 16 & TW 471218 B | 9 |
| A | EP 1150418 A2 (SONY CORP.), 31 October, 2001 (31.10.01), Full text; Figs. 1 to 17 & JP 2001-314079 A & US 2001-0036091 A1 & CN 1322054 A | 1-10 |
| A | JP 9-121540 A (SONY CORP.), 06 May, 1997 (06.05.97), Full text; Figs. 1 to 8 (Family: none) | 1-10 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|--------------------|
| Y A | JP 2002-64981 A (ソニー株式会社) 28.02.2002, 【0035】-【0075】, 図1-3 (ファミリーなし) | 1-6, 9, 10 7, 8 |
| Y A | JP 2001-218460 A (ソニー株式会社) 10.08.2001, 【0077】-【0085】, 図7 (ファミリーなし) | 1-6, 9, 10 7, 8 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10.02.2004

国際調査報告の発送日

24.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|------------------|
| 引用文献の カテゴリ* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | EP 1001520 A2 (SONY CORPORATION) 17. 05. 2000, 【0038】 - 【0042】, 図16 & JP 2000-152617 A & US 6317337 B1 | 9 |
| Y | JP 2000-152618 A (ソニー株式会社) 30. 05. 2000, 【0021】 - 【0023】, 図16 & TW 471218 B | 9 |
| A | EP 1150418 A2 (SONY CORPORATION) 31. 10. 2001, 全文, 図1-17 & JP 2001-314079 A & US 2001-0036091 A1 & CN 1322054 A | 1-10 |
| A | JP 9-121540 A (ソニー株式会社) 06. 05. 1997, 全文, 図1-8 (ファミリーなし) | 1-10 |